

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei YAMAZAKI et al. Art Unit : Unknown
Serial No. : Not yet assigned Examiner : Unknown
Filed : February 2, 2001
Title : SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE
SAME

Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application: Japan Application No. 2000-044973 filed February 22, 2000. A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 2, 2001

William D. Hare
William D. Hare
Reg. No. 44,739

Fish & Richardson P.C.
601 Thirteenth Street, NW
Washington, DC 20005
Telephone: (202) 783-5070
Facsimile: (202) 783-2331

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1002 U.S. PTO
09/773543
02/02/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月22日

出願番号
Application Number:

特願2000-044973

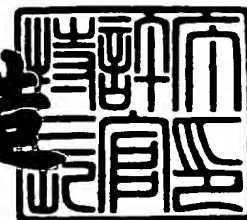
出願人
Applicant (s):

株式会社半導体エネルギー研究所

2000年12月22日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3106419

【書類名】 特許願

【整理番号】 P004638-04

【提出日】 平成12年 2月22日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 21/00

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 小山 潤

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域とを有する半導体層と、
前記半導体層上に第 1 絶縁膜と、
前記第 1 絶縁膜上に前記チャンネル形成領域と重なる電極と、
前記第 1 絶縁膜上にソース配線と、
前記電極及び前記ソース配線を覆う第 2 絶縁膜と、
前記第 2 絶縁膜上に前記電極と接続されたゲート配線とを有することを特徴とする半導体装置。

【請求項 2】

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域とを有する半導体層と、
前記半導体層上に第 1 絶縁膜と、
前記第 1 絶縁膜上に前記チャンネル形成領域と重なる電極と、
前記第 1 絶縁膜上にソース配線と、
前記電極及び前記ソース配線を覆う第 2 絶縁膜と、
前記第 2 絶縁膜上に前記電極と接続されたゲート配線と、
前記第 2 絶縁膜上に前記ソース配線及び前記半導体層と接続された接続電極と

前記第 2 絶縁膜上に前記半導体層と接続された画素電極とを有することを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記画素電極は、前記ソース配線と重なることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、 前記半導体層は、前記ゲート配線と

重なる領域を有することを特徴とする半導体装置。

【請求項 5】

請求項 4 において、前記ゲート配線と重なる領域は、チャンネル形成領域を少なくとも含むことを特徴とする半導体装置。

【請求項 6】

請求項 4 または請求項 5 において、前記ゲート配線と重なる領域は、前記チャンネル形成領域と前記ドレイン領域との間に存在する領域を少なくとも含むことを特徴とする半導体装置。

【請求項 7】

請求項 4 乃至 6 のいずれか一において、前記ゲート配線と重なる領域は、前記チャンネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴とする半導体装置。

【請求項 8】

請求項 4 乃至 7 のいずれか一において、前記半導体層は、複数のチャンネル形成領域を有し、

前記ゲート配線と重なる領域は、あるチャンネル形成領域とその他のチャンネル形成領域との間に存在する領域を少なくとも含むことを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一において、前記チャンネル形成領域と重なる電極は、ゲート電極であることを特徴とする半導体装置。

【請求項 10】

請求項 2 乃至 10 のいずれか一において、前記電極及び前記ソース配線は同一材料で形成されたことを特徴とする半導体装置。

【請求項 11】

請求項 2 乃至 10 のいずれか一において、前記画素電極、前記接続電極、及び前記ゲート配線は同一材料で形成されたことを特徴とする半導体装置。

【請求項 12】

請求項 1 乃至 11 のいずれか一において、前記ゲート配線は、導電性を付与する不純物元素がドーピングされた poly-Si 、 W 、 WSi_x 、 Al 、 Cu 、 Ta

、Cr、またはMoから選ばれた元素を主成分とする膜またはそれらの積層膜からなることを特徴とする半導体装置。

【請求項 1 3】

請求項 1 乃至 1 2 のいずれか一において、前記第 1 絶縁膜はゲート絶縁膜であることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれか一において、前記第 2 絶縁膜は、シリコンを主成分とする第 1 の絶縁層と、有機樹脂材料から成る第 2 の絶縁層とからなることを特徴とする半導体装置。

【請求項 1 5】

請求項 2 乃至 1 4 のいずれか一において、前記画素電極を含む一つの画素は、前記第 1 絶縁膜を誘電体として、前記画素電極に接続された半導体層と、隣りある画素のゲート配線に接続された電極とで保持容量を形成することを特徴とする半導体装置。

【請求項 1 6】

請求項 1 5 において、前記画素電極に接続された半導体層には p 型を付与する不純物元素が添加されたことを特徴とする半導体装置。

【請求項 1 7】

一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、

前記一对の基板のうち、一方の基板には画素部と駆動回路とが設けられ、

前記画素部には、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャンネル形成領域とを有する半導体層と、

前記半導体層上に第 1 絶縁膜と、

前記第 1 絶縁膜上に前記チャンネル形成領域と重なる電極と、

前記第 1 絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に前記電極と接続されたゲート配線と、

前記第 2 絶縁膜上に前記ソース配線及び前記半導体層と接続された接続電極と

前記第 2 絶縁膜上に前記半導体層と接続された画素電極とを備え、

他方の基板には、前記第 1 の半導体層と重なるように赤色カラーフィルタと青色カラーフィルタとが積層された遮光膜を有することを特徴とする半導体装置。

【請求項 1 8】

請求項 1 7 において、前記第 2 の絶縁膜上にコモン配線を有し、基板面に平行な電界が生じるように前記画素電極と前記コモン配線とが配置されたことを特徴とする半導体装置。

【請求項 1 9】

請求項 2 乃至 1 8 のいずれか一において、前記半導体装置は、前記画素電極が A 1 または A g を主成分とする膜またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴とする半導体装置。

【請求項 2 0】

請求項 2 乃至 1 8 のいずれか一において、前記半導体装置は、前記画素電極が透明導電膜からなる透過型の液晶表示装置であることを特徴とする半導体装置。

【請求項 2 1】

請求項 1 乃至 2 0 のいずれか一において、前記半導体装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器であることを特徴とする半導体装置。

【請求項 2 2】

絶縁表面上に結晶質半導体膜からなる半導体層を形成する第 1 工程と、

前記半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記半導体層と重なる電極と、ソース配線とを形成する第 3 工程と、

前記電極及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記電極と接続し、且つ前記半導体層と重なるゲート配線と、前記半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の

作製方法。

【請求項 2 3】

絶縁表面上に結晶質半導体膜からなる第 1 の半導体層及び第 2 の半導体層を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極と、前記第 2 の半導体層と重なる第 2 の電極と、ソース配線とを形成する第 3 工程と、

前記第 1 の電極、前記第 2 の電極、及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記第 1 の電極と接続し、且つ第 1 の半導体層と重なるゲート配線と、前記第 1 の半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法。

【請求項 2 4】

請求項 2 3 において、前記画素電極と接続された前記第 2 の半導体層は、隣りあう画素のゲート配線と接続された前記第 2 の電極と重なっていることを特徴とする半導体装置の作製方法。

【請求項 2 5】

請求項 2 2 乃至 2 4 のいずれか一において、前記第 2 絶縁膜は、シリコンを主成分とする第 1 の絶縁層と、有機樹脂材料から成る第 2 の絶縁層との積層膜からなることを特徴とする半導体装置の作製方法。

【請求項 2 6】

請求項 2 2 乃至 2 5 のいずれか一において、前記第 2 絶縁膜は、酸化シリコンまたは窒化シリコンまたは酸化窒化シリコンから成る第 1 の絶縁層と、ポリイミドまたはアクリルまたはポリアミドまたはポリイミドアミドまたはベンゾシクロブテンからなる第 2 の絶縁層との積層膜であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本願発明は薄膜トランジスタ（以下、T F Tという）で構成された回路を有する半導体装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【 0 0 0 2 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【 0 0 0 3 】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 n m 程度）を用いて薄膜トランジスタ（T F T）を構成する技術が注目されている。薄膜トランジスタは I C や電気光学装置のような電子デバイスに広く応用され、特に液晶表示装置のスイッチング素子として開発が急がれている。

【 0 0 0 4 】

液晶表示装置において、高品位な画像を得るために、画素電極をマトリクス状に配置し、画素電極の各々に接続するスイッチング素子として T F T を用いたアクティブマトリクス型液晶表示装置が注目を集めている。

【 0 0 0 5 】

アクティブマトリクス型液晶表示装置には大きく分けて透過型と反射型の二種類のタイプが知られている。

【 0 0 0 6 】

特に、反射型の液晶表示装置は、透過型の液晶表示装置と比較して、バックライトを使用しないため、消費電力が少ないといった長所を有しており、モバイルコンピュータやビデオカメラ用の直視型表示ディスプレイとしての需要が高まっている。

【 0 0 0 7 】

なお、反射型の液晶表示装置は、液晶の光学変調作用を利用して、入射光が画素電極で反射して装置外部に出力される状態と、入射光が装置外部に出力されない状態とを選択し、明と暗の表示を行わせ、さらにそれらを組み合わせることで、画像表示を行うものである。一般に反射型の液晶表示装置における画素電極は、アルミニウム等の光反射率の高い金属材料からなり、薄膜トランジスタ等のスイッチング素子に電氣的に接続している。

【 0 0 0 8 】

従来の反射型の液晶表示装置における画素構造を図 2 3 に示す。図 2 3 では、ゲート配線（走査線）1 1 と容量配線 1 2 の 2 本を線状形状にパターニング形成している。また、ソース配線（信号線）1 4 を線状形状にパターニング形成している。また、ソース配線 1 4 は行方向に、ゲート配線 1 1 は列方向にそれぞれ配置され、それぞれの配線同士を絶縁するため、ゲート配線 1 1 とソース配線 1 4 との間には層間絶縁膜が設けられていた。また、ソース配線 1 4 とゲート配線 1 1 は、一部交差しており、その交差部近傍に半導体層 1 0 を活性層とした T F T が配置されていることが従来の特徴である。

【 0 0 0 9 】

また、従来では、ソース配線 1 4 と同時に形成し、それぞれのソース配線間に画素電極 1 5 を形成することが知られている。この構造にした場合と、ソース配線と画素電極との間を遮光膜（ブラックマトリクスとも呼ぶ）1 3 で遮光する必要があった。

【 0 0 1 0 】

また、従来では、遮光膜 1 3 として、クロムなどで形成された金属膜を所望な形状にパターニングしていた。従って、従来では遮光膜自体を形成するための工程及びマスクが増加する結果となっていた。また、遮光膜 1 3 で十分に遮光するためには、遮光膜 1 3 と画素電極との間に層間絶縁膜を設けて絶縁することが必要となっていた。同様に層間絶縁膜の層数が増加すると、工程数が増えるためコスト上昇を招いていた。また、層間絶縁性を確保する上で不利となっていた。

【 0 0 1 1 】

また、従来の他の構造として、ソース配線 1 1 を覆って層間絶縁膜が設けられ

、その上に画素電極は形成される構造が知られている。しかしながら、この構造にした場合、層数が増加して工程数が増えるため、コスト上昇を招いていた。

【 0 0 1 2 】

また、表示性能の面から画素には大きな保持容量を持たせるとともに、高開口率化が求められている。各画素が高い開口率を持つことにより光利用効率が向上し、表示装置の省電力化および小型化が達成できる。

【 0 0 1 3 】

近年、画素サイズの微細化が進み、より高精細な画像が求められている。画素サイズの微細化は1つの画素に占めるTFT及び配線の形成面積が大きくなり画素開口率を低減させている。

【 0 0 1 4 】

そこで、規定の画素サイズの中で各画素の高開口率を得るためには、画素の回路構成に必要な回路要素を効率よくレイアウトすることが不可欠である。

【 0 0 1 5 】

【発明が解決しようとする課題】

以上のように、少ないマスク数で画素開口率の高い反射型液晶表示装置または透過型液晶表示装置を実現するためには、従来にない全く新しい画素構成が求められている。

【 0 0 1 6 】

本願発明は、そのような要求に答えるものであり、マスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する液晶表示装置を提供することを課題とする。

【 0 0 1 7 】

【課題を解決するための手段】

上述した従来技術の課題を解決するために以下の手段を講じた。

【 0 0 1 8 】

本発明は、ブラックマトリクスを用いることなく、TFT及び画素間を遮光する画素構造を特徴としている。TFTを遮光する手段の一つとして、ゲート電極とソース配線とを第1絶縁膜上に形成し、活性層となる半導体層の大部分を第1

絶縁膜とは異なる第2絶縁膜上に形成されたゲート配線で覆うことを特徴としている。また、画素間を遮光する手段の一つとして、画素電極をソース配線と重ねて配置することも特徴としている。さらに、TFTを遮光する手段の一つとして、対向基板上に遮光膜としてカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜）を素子基板のTFTと重ねて配置することも特徴としている。

【0019】

本明細書で開示する発明の構成は、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層（第1の半導体層172）と、

前記半導体層（第1の半導体層172）上に第1絶縁膜と、

前記第1絶縁膜上に前記チャネル形成領域と重なる電極（ゲート電極を含む第1の電極175）と、

前記第1絶縁膜上にソース配線と、

前記電極（ゲート電極を含む第1の電極175）及び前記ソース配線を覆う第2絶縁膜と、

前記第2絶縁膜上に前記電極（ゲート電極を含む第1の電極175）と接続されたゲート配線とを有する半導体装置である。

【0020】

また、本明細書で開示する発明の構成は、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層（第1の半導体層172）と、

前記半導体層（第1の半導体層172）上に第1絶縁膜と、

前記第1絶縁膜上に前記チャネル形成領域と重なる電極（ゲート電極を含む第1の電極175）と、

前記第1絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第2絶縁膜と、

前記第 2 絶縁膜上に前記電極と接続されたゲート配線と、

前記第 2 絶縁膜上に前記ソース配線及び前記半導体層（具体的にはソース領域またはドレイン領域）と接続された接続電極と、

前記第 2 絶縁膜上に前記半導体層（具体的にはドレイン領域またはドレイン領域）と接続された画素電極とを有する半導体装置である。

【 0 0 2 1 】

また、上記構成において、前記画素電極は、前記ソース配線と重なるように配置され、画素電極とソース配線との間を遮光する。

【 0 0 2 2 】

また、上記各構成において、前記半導体層（第 1 の半導体層 1 7 2）は、前記ゲート配線と重なる領域を有することを特徴としている。

【 0 0 2 3 】

また、上記ゲート配線と重なる領域は、チャネル形成領域、あるいは、前記チャネル形成領域と前記ドレイン領域との間に存在する領域、あるいは、前記チャネル形成領域と前記ソース領域との間に存在する領域を少なくとも含むことを特徴としており、外部からの光から保護されている。

【 0 0 2 4 】

また、絶縁膜を介して一つの半導体層上に複数のゲート電極が存在するマルチゲート構造の場合は、一つの半導体層に複数のチャネル形成領域が存在しており、あるチャネル形成領域とその他のチャネル形成領域との間に存在する領域と重なるように前記ゲート配線を配置することが望ましい。

【 0 0 2 5 】

また、マスク数の増加を抑えるために、前記第 1 絶縁膜上に前記電極及び前記ソース配線が同一材料で形成され、前記第 2 絶縁膜上に前記画素電極、前記接続電極、及び前記ゲート配線が同一材料で形成されたことを特徴としている。

【 0 0 2 6 】

また、上記各構成において、前記ゲート配線は、導電性を付与する不純物元素がドーピングされた poly-Si 、 W 、 WSi_x 、 Al 、 Cu 、 Ta 、 Cr 、または Mo から選ばれた元素を主成分とする膜またはそれらの積層膜からなることを

特徴としている。

【 0 0 2 7 】

また、上記各構成において、前記第 1 の電極と前記半導体層とを絶縁するための前記第 1 絶縁膜はゲート絶縁膜である。

【 0 0 2 8 】

また、上記各構成において、ソース配線とゲート配線とを絶縁する前記第 2 絶縁膜は、シリコンを主成分とする第 1 の絶縁層と、有機樹脂材料から成る第 2 の絶縁層とからなることを特徴としている。

【 0 0 2 9 】

また、上記各構成において、前記画素電極を含む一つの画素は、前記第 1 絶縁膜を誘電体として、前記画素電極に接続された半導体層（第 2 の半導体層 1 7 3）と、隣りあう画素のゲート配線に接続された電極（第 2 の電極 1 3 5）とで保持容量を形成することを特徴としている。また、この半導体層（第 2 の半導体層 1 7 3）には p 型を付与する不純物元素が添加されていることが好ましい。

【 0 0 3 0 】

また、本明細書で開示する発明の構成は、
一対の基板と、前記一対の基板間に保持された液晶とを備えた液晶表示装置であって、

前記一対の基板のうち、一方の基板には画素部と駆動回路とが設けられ、

前記画素部には、

絶縁表面上にソース領域及びドレイン領域と、前記ソース領域と前記ドレイン領域との間に挟まれるチャネル形成領域とを有する半導体層と、

前記半導体層上に第 1 絶縁膜と、

前記第 1 絶縁膜上に前記チャネル形成領域と重なる電極と、

前記第 1 絶縁膜上にソース配線と、

前記電極及び前記ソース配線を覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に前記電極と接続されたゲート配線と、

前記第 2 絶縁膜上に前記ソース配線及び前記半導体層と接続された接続電極 1 6 5 と、

前記第 2 絶縁膜上に前記半導体層と接続された画素電極 1 6 7 とを備え、

他方の基板には、前記第 1 の半導体層と重なるように赤色カラーフィルタと青色カラーフィルタとが積層された遮光膜を有することを特徴とする半導体装置である。

【 0 0 3 1 】

また、上記構成において、前記第 2 の絶縁膜上にコモン配線を有し、基板面に平行な電界が生じるように前記画素電極と前記コモン配線とが配置された I P S 方式の液晶表示装置とすることができる。

【 0 0 3 2 】

また、上記構成において、前記画素電極が A l または A g を主成分とする膜またはそれらの積層膜からなる反射型の液晶表示装置とすることができる。

【 0 0 3 3 】

また、上記構成において、前記半導体装置は、前記画素電極が透明導電膜からなる透過型の液晶表示装置とすることができる。

【 0 0 3 4 】

また、上記構造を実現する作製工程における発明の構成は、

絶縁表面上に結晶質半導体膜からなる半導体層を形成する第 1 工程と、

前記半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記半導体層と重なる電極と、ソース配線とを形成する第 3 工程と、

前記電極及び前記ソース配線を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記電極と接続し、且つ前記半導体層と重なるゲート配線と、前記半導体層と前記ソース配線とを接続する接続電極と、前記ソース配線と重なる画素電極とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法である。

【 0 0 3 5 】

また、上記構造を実現する作製工程における他の発明の構成は、

絶縁表面上に結晶質半導体膜からなる第 1 の半導体層 1 7 2 及び第 2 の半導体層 1 7 3 を形成する第 1 工程と、

前記第 1 の半導体層及び前記第 2 の半導体層上に第 1 絶縁膜を形成する第 2 工程と、

前記第 1 絶縁膜上に前記第 1 の半導体層と重なる第 1 の電極 1 3 4 と、前記第 2 の半導体層と重なる第 2 の電極 1 3 5 と、ソース配線 1 3 7 とを形成する第 3 工程と、

前記第 1 の電極 1 3 4、前記第 2 の電極 1 3 5、及び前記ソース配線 1 3 7 を覆う第 2 絶縁膜を形成する第 4 工程と、

前記第 2 絶縁膜上に前記第 1 の電極 1 3 4 と接続し、且つ第 1 の半導体層と重なるゲート配線 1 6 6 と、前記第 1 の半導体層と前記ソース配線とを接続する接続電極 1 6 5 と、前記ソース配線と重なる画素電極 1 6 7 とを形成する第 5 工程とを有することを特徴とする半導体装置の作製方法である。

【0036】

また、上記構成において、前記画素電極と接続された前記第 2 の半導体層は、隣りあう画素のゲート配線と接続された前記第 2 の電極と重なっていることを特徴としている。

【0037】

【発明の実施の形態】

本願発明の実施形態について、以下に説明する。

【0038】

本発明の液晶表示装置は、基本的な構成として、互いに所定の間隙を介して接着した素子基板及び対向基板と、前記間隙に保持された電気光学物質（液晶材料等）とを備えている。

【0039】

本発明の画素構造の具体例を図 1 に示す。ただし、ここでは反射型液晶表示装置の例を示す。

【0040】

素子基板は、図 1 に示すように、行方向に配置されたゲート配線 1 6 6 と、列方向に配置されたソース配線 1 3 7 と、ゲート配線とソース配線の交差部近傍の画素 T F T を有する画素部と、n チャネル型 T F T や p チャネル型 T F T を有す

る駆動回路とを含む。

【0041】

ただし、図1におけるゲート配線は、行方向に配置された島状の第1の電極134と接続したものを指している。また、ゲート配線は第2絶縁膜上に接して設けられたものである。一方、島状の第1の電極134は、ソース配線137と同様に第1絶縁膜（以下、ゲート絶縁膜とも呼ぶ）上に接して形成されたものである。

【0042】

また、接続電極165は画素電極167、175、およびゲート配線166と同様に第2絶縁膜（以下、層間絶縁膜とも呼ぶ）上に形成されたものである。

【0043】

本発明の画素構造とすることによって、TFTの活性層はゲート配線と重ねることが可能となり、遮光することができる。

【0044】

素子基板上的TFTを遮光するため、第1の半導体層172のうち少なくともチャネル形成領域は、ゲート配線166により遮光されるよう配置する。また、チャネル形成領域以外にも、チャネル形成領域と前記ドレイン領域との間に存在する領域（LDD領域、オフセット領域等）や、チャネル形成領域と前記ソース領域との間に存在する領域をゲート配線116により遮光することが望ましい。また、図1の構造はマルチゲート構造となっているため一つの半導体層には、複数のチャネル形成領域が存在している。従って、あるチャネル形成領域とその他のチャネル形成領域との間に存在する領域もゲート配線116によって遮光することが望ましい。

【0045】

このゲート配線166は、ゲート電極となる第1の電極134が設けられた絶縁膜とは異なる絶縁膜上に接して形成されている。また、図1における画素構造においては、この第1の電極134はゲート絶縁膜を介して第1の半導体層と重なるゲート電極となるだけでなく、隣りあう画素の保持容量を構成する電極の一つとなる役目をも果たしている。

【 0 0 4 6 】

また、本発明の画素構造とすることによって、各画素間は、主に画素電極 1 6 7 の端部をソース配線 1 3 7 と重ね、遮光することが可能となる。

【 0 0 4 7 】

また、画素電極 1 6 7 と接続電極 1 6 5 との間隙、画素電極 1 6 7 とゲート配線 1 6 6 との間隙等は、対向基板に設けたカラーフィルタにより遮光する。なお、赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜を所定の位置（素子基板の T F T の位置）にあわせてパターンニングしたものを対向基板上に設ける。

【 0 0 4 8 】

このような構成とすることによって、素子基板の T F T は、主にゲート配線 1 6 6 により遮光され、さらに各画素の間隙は対向基板に設けられたカラーフィルタ（赤色のカラーフィルタ、または赤色のカラーフィルタと青色のカラーフィルタの積層膜、または赤色のカラーフィルタと青色のカラーフィルタと緑色のカラーフィルタの積層膜）により遮光することができる。

【 0 0 4 9 】

また、画素電極 1 6 7 の保持容量は、第 2 の半導体層 1 7 3 を覆う絶縁膜を誘電体とし、画素電極 1 6 7 と接続された第 2 の半導体層 1 7 3 と、第 2 の電極 1 3 5 とで形成している。この時、第 2 の半導体層の一部には p 型を付与する不純物元素が添加されており、第 2 の電極に電圧が印加された時、チャネル形成領域が形成されることによって保持容量が形成される。さらに、第 2 の電極と画素電極とが重なっている箇所では、層間絶縁膜 1 5 7、1 5 8 を誘電体として保持容量が形成される。なお、ここでは第 2 の電極を用いて保持容量を形成しているが、特に限定されず、容量配線や容量電極を配置する画素構造としてもよい。

【 0 0 5 0 】

また、図 1 に示す画素構造を有する画素部と駆動回路とを有する素子基板を形成するために必要なマスク数は、5 枚とすることができる。即ち、1 枚目は、第 1 の半導体層 1 7 2 及び第 2 の半導体層 1 7 3 をパターンニングするマスク、2 枚

目は、第 1 の電極 1 3 4、第 2 の電極 1 3 5、及びソース配線 1 3 7 をパターンニングするマスク、3 枚目は、駆動回路の p チャネル型 T F T 及び保持容量を形成するために p 型を付与する不純物元素を添加する際、n チャネル型 T F T を覆うためのマスク、4 枚目は、第 1 の半導体層と第 2 の半導体層と第 1 の電極と第 2 の電極とにそれぞれ達するコンタクトホールを形成するマスク、5 枚目は、接続電極 1 6 5、2 0 5、ゲート配線 1 6 6、及び画素電極 1 6 7、1 7 5 をパターンニングするためのマスクである。

【 0 0 5 1 】

以上のように、図 1 に示す画素構造とした場合、少ないマスク数で画素開口率の高い反射型液晶表示装置を実現することができる。

【 0 0 5 2 】

また、画素電極として透光性導電膜を用い、所望の形状にパターンニングを行えば、1 枚マスクが増加するが、透過型液晶表示装置を作製することもできる。

【 0 0 5 3 】

また、基板面と平行な電界が形成されるようにコモン配線と画素電極とを配置して I P S 方式の透過型液晶表示装置を作製することもできる。

【 0 0 5 4 】

以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【 0 0 5 5 】

【実施例】

[実施例 1]

本実施例では同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T (n チャネル型 T F T 及び p チャネル型 T F T) を同時に作製する方法について詳細に説明する。

【 0 0 5 6 】

まず、図 2 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 1 0 0 上に酸化シリコン膜、窒化シリコン膜

または酸化窒化シリコン膜などの絶縁膜から成る下地膜 1 0 1 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜 1 0 2 a を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜 1 0 1 b を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。本実施例では下地膜 1 0 1 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 0 5 7 】

島状半導体層 1 0 2 ~ 1 0 6 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層 1 0 2 ~ 1 0 6 の厚さは 2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【 0 0 5 8 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、 YVO_4 レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 H z とし、レーザーエネルギー密度を $1 0 0 \sim 4 0 0 \text{ mJ/cm}^2$ (代表的には $2 0 0 \sim 3 0 0 \text{ mJ/cm}^2$) とする。また、Y A G レーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 1 ~ 1 0 k H z とし、レーザーエネルギー密度を $3 0 0 \sim 6 0 0 \text{ mJ/cm}^2$ (代表的には $3 5 0 \sim 5 0 0 \text{ mJ/cm}^2$) とすると良い。そして幅 1 0 0 ~ 1 0 0 0 μm 、例えば 4 0 0 μm で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 8 0 ~ 9 8 % として行う。

【 0 0 5 9 】

次いで、島状半導体層 1 0 2 ~ 1 0 6 を覆うゲート絶縁膜 1 0 7 を形成する。ゲート絶縁膜 1 0 7 はプラズマ C V D 法またはスパッタ法を用い、厚さを 4 0 ~

150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0060】

そして、ゲート絶縁膜107上にゲート電極を形成するための第1の導電膜108と第2の導電膜109とを形成する。本実施例では、第1の導電膜108をTa₂N₅で50～100nmの厚さに形成し、第2の導電膜をWで100～300nmの厚さに形成する。

【0061】

Ta₂N₅膜はスパッタ法で形成し、Taのターゲットを窒素を含む雰囲気内でスパッタする。W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に六フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することができる。

【0062】

なお、本実施例では、第1の導電膜108をTa₂N₅、第2の導電膜109をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成

してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜をタンタル (Ta) で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル (Ta₂N₅) で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。

【 0 0 6 3 】

次に、レジストによるマスク 110～116 を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa₂N₅膜とも同程度にエッチングされる。

【 0 0 6 4 】

上記エッチング条件では、レジストによるマスクの形状に適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4 (代表的には3) であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層 118～124 (第1の導電層 118a～124aと第2の導電層 118b～124b) を形成する。117はゲート絶縁膜であり、第1の形状の導電層 118～124 で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

【 0 0 6 5 】

そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。

(図2(B)) ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60~100 keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層118~122がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域125~129が形成される。第1の不純物領域125~129には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0066】

次に、図2(C)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF(13.56MHz)電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTa₂N₅を異方性エッチングして第2の形状の導電層131~137(第1の導電層131a~137aと第2の導電層131b~137b)を形成する。130はゲート絶縁膜であり、第2の形状の導電層131~137で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0067】

W膜やTa₂N₅膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTa₂N₅のフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa₂N₅膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が

高いW膜のエッチング速度が増大する。一方、T a NはFが増大しても相対的にエッチング速度の増加は少ない。また、T a NはWに比較して酸化されやすいので、O₂を添加することでT a Nの表面が多少酸化される。T a Nの酸化物はフッ素や塩素と反応しないためさらにT a N膜のエッチング速度は低下する。従って、W膜とT a N膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をT a N膜よりも大きくすることが可能となる。

【 0 0 6 8 】

そして、図3 (A) に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70～120 keVとし、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量で行い、図2 (B) で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層131～135を不純物元素に対するマスクとして用い、第2の導電層131a～135aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層131a～135aと重なる第3の不純物領域143～147と、第1の不純物領域と第3の不純物領域との間の第2の不純物領域138～142とを形成する。n型を付与する不純物元素は、第2の不純物領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、第3の不純物領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【 0 0 6 9 】

そして、図3 (B) に示すように、pチャネル型TFETを形成する島状半導体層104に一導電型とは逆の導電型の第4の不純物領域151～156を形成する。第2の導電層132、135を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する島状半導体層103、105、106はレジストマスク148～150で全面を被覆しておく。不純物領域151～156にはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B₂H₆) を用いたイオンドーブ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【 0 0 7 0 】

以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第2の導電層131～134がゲート電極として機能する。また、137はソース配線、134は、一部がゲート電極としての機能を果たす第1の電極、135は保持容量を形成するための第2の電極として機能する。

【 0 0 7 1 】

こうして導電型の制御を目的として図3（C）に示すように、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、131～137に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化を行うことが好ましい。

【 0 0 7 2 】

この活性化工程後での画素部における上面図を図6に示す。なお、図1～図5に対応する部分には同じ符号を用いている。図3中の鎖線C-C'は図6中の鎖線C-C'で切断した断面図に対応している。また、図3中の鎖線D-D'は図6中の鎖線D-D'で切断した断面図に対応している。

【 0 0 7 3 】

さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【 0 0 7 4 】

また、活性化処理としてレーザーアニール法を用いる場合は、窒化珪素膜また

は窒化酸化珪素膜からなる保護膜を形成し、上記水素化を行った後、YAGレーザー等のレーザー光を照射すればよい。

【0075】

次いで、第1の層間絶縁膜157は酸化窒化シリコン膜から100～200nmの厚さで形成する。次いで、第1の層間絶縁膜157上に有機絶縁物材料から成る第2の層間絶縁膜158を形成する。次いで、コンタクトホールを形成するためのエッチング工程を行う。

【0076】

そして、駆動回路406において島状半導体層のソース領域とコンタクトを形成するソース配線159～161、ドレイン領域とコンタクトを形成するドレイン配線162～164を形成する。また、画素部407においては、画素電極167、ゲート配線166、接続電極165を形成する。(図4)この接続電極165によりソース配線137は、画素TFT404と電気的な接続が形成される。また、ゲート配線166は、第1の電極と電気的な接続が形成される。また、画素電極160は、画素TFTの活性層に相当する島状半導体層(図1中における第1の半導体層201に相当)及び保持容量を形成する島状半導体層(図1中における第2の半導体層202に相当)とそれぞれ電気的な接続が形成される。

【0077】

以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、画素TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。

【0078】

駆動回路406のnチャネル型TFT401はチャネル形成領域168、ゲート電極を形成する第2の導電層131と重なる第3の不純物領域143(GOLD領域)、ゲート電極の外側に形成される第2の不純物領域138(LDD領域)とソース領域またはドレイン領域として機能する第1の不純物領域125を有している。pチャネル型TFT402にはチャネル形成領域169、ゲート電極を形成する第2の導電層132と重なる第4の不純物領域153、ゲート電極の

外側に形成される第4の不純物領域152、ソース領域またはドレイン領域として機能する第4の不純物領域151を有している。nチャネル型TFT403にはチャンネル形成領域170、ゲート電極を形成する第2の導電層133と重なる第3の不純物領域145（GOLD領域）、ゲート電極の外側に形成される第2の不純物領域140（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域127を有している。

【0079】

画素部の画素TFT404にはチャンネル形成領域171、ゲート電極を形成する第2の導電層134と重なる第3の不純物領域146（GOLD領域）、ゲート電極の外側に形成される第2の不純物領域141（LDD領域）とソース領域またはドレイン領域として機能する第1の不純物領域128を有している。また、保持容量405の一方の電極として機能する半導体層には第4の不純物領域と同じ濃度で、それぞれp型を付与する不純物元素が添加されており、第1の電極135とその間の絶縁層（ゲート絶縁膜と同じ層）とで保持容量を形成している。また、p型を付与する不純物元素が添加されている。

【0080】

本実施例で作製するアクティブマトリクス基板の画素部の上面図を図1に示す。なお、図2～図6に対応する部分には同じ符号を用いている。図1中の鎖線A-A'は図4中の鎖線A-A'で切断した断面図に対応している。また、図1中の鎖線B-B'は図6中の鎖線B-B'で切断した断面図に対応している。

【0081】

このように、本実施例の画素構造を有するアクティブマトリクス基板は、一部がゲート電極の機能を果たす第1の電極134とゲート配線166とを異なる層に形成し、ゲート配線166で半導体層を遮光することを特徴としている。

【0082】

また、本実施例の画素構造は、ブラックマトリクスを用いることなく、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置する。

【0083】

上述の画素構造とすることにより大きな面積を有する画素電極を配置でき、開口率を向上させることができる。

【 0 0 8 4 】

また、本実施例で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトリソマスクの数を5枚（島状半導体層パターンマスク、第1配線パターンマスク（第1の電極134、第2の電極135、ソース配線137を含む）、p型TFTのソース領域及びドレイン領域形成のパターンマスク、コンタクトホールのパターンマスク、第2配線パターンマスク（画素電極167、接続電極165、ゲート配線166を含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【 0 0 8 5 】

また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホールの形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。

【 0 0 8 6 】

[実施例2]

本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を以下に説明する。説明には図5を用いる。

【 0 0 8 7 】

まず、実施例1に従い、図4の状態のアクティブマトリクス基板を得た後、図4のアクティブマトリクス基板上に配向膜567を形成しラビング処理を行う。

【 0 0 8 8 】

一方、対向基板569を用意する。対向基板569にはカラーフィルタ570

、571、オーバーコート層573を形成する。カラーフィルタはTFTの上方で赤色のカラーフィルタ570と青色のカラーフィルタ571とを重ねて形成し遮光膜を兼ねる構成とする。実施例1の基板を用いた場合、少なくともTFTと、接続電極と画素電極との間を遮光する必要があるため、それらの位置を遮光するように赤色のカラーフィルタと青色のカラーフィルタを重ねて配置することが好ましい。

【0089】

また、接続電極165に合わせて赤色のカラーフィルタ570、青色のカラーフィルタ571、緑色のカラーフィルタ572とを重ね合わせてスペーサを形成する。各色のカラーフィルタはアクリル樹脂に顔料を混合したもので1～3 μm の厚さで形成する。これは感光性材料を用い、マスクを用いて所定のパターンに形成することができる。スペーサの高さはオーバーコート層の厚さ1～4 μm を考慮することにより2～7 μm 、好ましくは4～6 μm とすることができ、この高さによりアクティブマトリクス基板と対向基板とを貼り合わせた時のギャップを形成する。オーバーコート層は光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂などを用いる。

【0090】

スペーサの配置は任意に決定すれば良いが、例えば図5で示すように接続電極上に位置が合うように対向基板に配置すると良い。また、駆動回路のTFT上にその位置を合わせてスペーサを対向基板上に配置してもよい。このスペーサは駆動回路部の全面に渡って配置しても良いし、ソース線およびドレイン線を覆うようにして配置しても良い。

【0091】

オーバーコート層573を形成した後、対向電極576をパターンニング形成し、配向膜574を形成した後、ラビング処理を行う。

【0092】

そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤568で貼り合わせる。シール剤568にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔を持って2枚の基板が貼り合

わせられる。その後、両基板の間に液晶材料を注入し、封止剤（図示せず）によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。このようにして図 5 に示すアクティブマトリクス型液晶表示装置が完成する。

【 0 0 9 3 】

[実施例 3]

実施例 2 を用いて得られたアクティブマトリクス型液晶表示装置（図 5）の構成を図 7 の上面図を用いて説明する。なお、図 5 と対応する部分には同じ符号を用いた。

【 0 0 9 4 】

図 7（A）で示す上面図は、画素部、駆動回路、FPC（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り付ける外部入力端子 2 0 3、外部入力端子と各回路の入力部までを接続する配線 2 0 4 などが形成されたアクティブマトリクス基板 2 0 1 と、カラーフィルタなどが形成された対向基板 2 0 2 とがシール材 5 6 8 を介して貼り合わされている。

【 0 0 9 5 】

ゲート配線側駆動回路 2 0 5 とソース配線側駆動回路 2 0 6 の上面には対向基板側に赤色カラーフィルタまたは赤色と青色のカラーフィルタを積層させた遮光膜 2 0 7 が形成されている。また、画素部 4 0 7 上の対向基板側に形成されたカラーフィルタ 2 0 8 は赤色（R）、緑色（G）、青色（B）の各色のカラーフィルタが各画素に対応して設けられている。実際の表示に際しては、赤色（R）のカラーフィルタ、緑色（G）のカラーフィルタ、青色（B）のカラーフィルタの 3 色でカラー表示を形成するが、これら各色のカラーフィルタの配列は任意なものとする。

【 0 0 9 6 】

図 8 は図 7（A）で示す外部入力端子 2 0 3 の F - F' 線に対する断面図を示している。外部入力端子はアクティブマトリクス基板側に形成され、層間容量や配線抵抗を低減し、断線による不良を防止するために画素電極と同じ層で形成される配線 2 0 9 によって層間絶縁膜 2 1 0 を介してゲート配線と同じ層で形成される配線 2 1 1 と接続する。

【 0 0 9 7 】

また、外部入力端子にはベースフィルム 2 1 2 と配線 2 1 3 から成る F P C が異方性導電性樹脂 2 1 4 で貼り合わされている。さらに補強板 2 1 5 で機械的強度を高めている。

【 0 0 9 8 】

図 8 (B) はその詳細図を示し、図 8 (A) で示す外部入力端子の断面図を示している。アクティブマトリクス基板側に設けられる外部入力端子が第 1 の電極及びソース配線と同じ層で形成される配線 2 1 1 と、画素電極と同じ層で形成される配線 2 0 9 とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第 1 の電極及びソース配線と同じ層で形成される配線 2 1 1 で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。画素電極と同じ層で形成される配線 2 0 9 は、Ti 膜 2 0 9 a、Al 膜 2 0 9 b、Sn 膜 2 0 9 c の 3 層構造で形成されている。F P C はベースフィルム 2 1 2 と配線 2 1 3 から形成され、この配線 2 1 3 と画素電極と同じ層で形成される配線 2 0 9 とは、熱硬化型の接着剤 2 1 4 とその中に分散している導電性粒子 2 1 6 とから成る異方性導電性接着剤で貼り合わされ、電氣的な接続構造を形成している。

【 0 0 9 9 】

一方、図 7 (B) は図 7 (A) で示す外部入力端子 2 0 3 の E - E ' 線に対する断面図を示している。導電性粒子 2 1 6 の外径は配線 2 0 9 のピッチよりも小さいので、接着剤 2 1 4 中に分散する量を適当なものとすると隣接する配線と短絡することなく対応する F P C 側の配線と電氣的な接続を形成することができる。

【 0 1 0 0 】

以上のようにして作製されるアクティブマトリクス型の液晶表示装置は各種電子機器の表示部として用いることができる。

【 0 1 0 1 】

〔実施例 4〕

実施例 1 で作製したアクティブマトリクス基板は、そのまま反射型の表示装置に

適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図9を用いて説明する。

【0102】

アクティブマトリクス基板は実施例1と同様に作製する。図9（A）では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。ドレイン線301を例としてこの構成を図9（B）で詳細に説明すると、Ti膜301aを50～150nmの厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成する。そのTi膜301a上に重ねてAl膜301bを300～400nmの厚さで形成し、さらにTi膜301cまたは窒化チタン（TiN）膜を100～200nmの厚さで形成して3層構造とする。その後、透明導電膜を全面に形成し、フォトリソを用いたパターニング処理およびエッチング処理により画素電極303を形成する。画素電極303は、有機樹脂材料から成る第2の層間絶縁膜上に形成され、コンタクトホールを介さずに画素TF-T404のドレイン線301と重なる部分を設け電気的な接続を形成している。

【0103】

また、最初に第2の層間絶縁膜上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極を形成した後、ドレイン線を画素電極とコンタクトホールを介さずに接続部を形成してもよい。

【0104】

透明導電膜の材料は、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ ；ITO）などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。また、ITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITOに対して熱安定性にも優れているので、ドレイン配線256の端面で、Al膜256b

が画素電極 2 5 7 と接触して腐蝕反応をすることを防止できる。同様に、酸化亜鉛 (Z n O) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (G a) を添加した酸化亜鉛 (Z n O : G a) などを用いることができる。

【 0 1 0 5 】

また、透過型の液晶表示装置の端子部の断面図を図 9 (C) に示した。アクティブマトリクス基板側に設けられる外部入力端子が第 1 の電極及びソース配線と同じ層で形成される配線 3 1 1 と、画素電極と同じ層で形成される配線 3 0 9 とから形成されている。勿論、これは端子部の構成を示す一例であり、どちらか一方の配線のみで形成しても良い。例えば、第 1 の電極及びソース配線と同じ層で形成される配線 3 1 1 で形成する場合にはその上に形成されている層間絶縁膜を除去する必要がある。

【 0 1 0 6 】

また、画素電極と同じ層で形成される配線 3 0 9 は、T i 膜 3 0 9 a、A l 膜 3 0 9 b、T i 膜 3 0 9 c の 3 層構造で形成されている。この配線 3 0 9 を形成した後、A l が露呈している箇所に酸化物を形成する処理を行うことで、A l 膜 2 5 6 b が画素電極 2 5 7 と接触して腐蝕反応をすることを防止できる。

【 0 1 0 7 】

また、F P C はベースフィルム 3 1 2 と配線 3 1 3 から形成され、この配線 3 1 3 と画素電極と同じ層で形成される配線 3 0 9 とは、熱硬化型の接着剤 3 1 4 とその中に分散している導電性粒子 3 1 6 とから成る異方性導電性接着剤で貼り合わされ、電気的な接続構造を形成している。

【 0 1 0 8 】

以上のように、実施例 1 では反射型の液晶表示装置を作製できるアクティブマトリクス基板を 5 枚のフォトマスクにより作製したが、さらに 1 枚のフォトマスクの追加 (合計 6 枚) で、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例 1 と同様な工程として説明したが、このような構成は実施例 2 に適用することができる。

【 0 1 0 9 】

[実施例 5]

本実施例では、第 2 配線として A g と A 1 の積層構造を用いた例を図 1 0 に示す。なお、本実施例は実施例 1 とは、第 2 配線パターン以外の構成が同一である。ここでは実施例 1 と異なる点について述べる。

【0 1 1 0】

本実施例では、引き出し電極 6 0 9 として反射率の高い A g を含む積層構造を用いた。この引き出し電極 6 0 9 は、ここでは図示しない画素電極、接続電極、ゲート配線と同時に作製される。6 0 9 a は A 1 からなる抵抗率の低い導電層、6 0 9 b は A g を主成分とする反射率の高い導電層である。このような組み合わせとすることにより反射率が高く、且つ配線抵抗の低いアクティブマトリクス基板を実現できる。

【0 1 1 1】

なお、本実施例は実施例 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【0 1 1 2】

[実施例 6]

本実施例では、実施例 1 とはアクティブマトリクス基板の T F T 構造が異なる他の例を図 1 1 を用いて説明する。

【0 1 1 3】

図 1 1 に示すアクティブマトリクス基板は、第 1 の p チャネル型 T F T 8 5 0 と第 2 の n チャネル型 T F T 8 5 1 を有するロジック回路部 8 5 5 と第 2 の n チャネル型 T F T 8 5 2 から成るサンプリング回路部 8 5 6 とを有する駆動回路 8 5 7 と、画素 T F T 8 5 3 と保持容量 8 5 4 を有する画素部 8 5 8 とが形成されている。駆動回路 8 5 7 のロジック回路部 8 5 5 の T F T はシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路 8 5 6 の T F T は基本的にはアナログスイッチで形成する。

【0 1 1 4】

これらの T F T は基板 8 0 1 に形成した下地膜 8 0 2 上の島状半導体層 8 0 3 ～ 8 0 6 にチャネル形成領域やソース領域、ドレイン領域及び L D D 領域などを

設けて形成する。下地膜や島状半導体層は実施例 1 と同様に形成する。ゲート絶縁膜 8 0 8 上に形成するゲート電極 8 0 9 ~ 8 1 2 は端部がテーパ形状となるように形成することに特徴があり、この部分を利用して L D D 領域を形成している。このようなテーパ形状は実施例 1 と同様に、 I C P エッチング装置を用いた W 膜の異方性エッチング技術により形成することができる。また、ソース配線 8 1 3、第 2 の電極（容量電極） 8 1 5 もテーパ形状となる。

【 0 1 1 5 】

テーパ形状の部分を利用して形成される L D D 領域は n チャネル型 T F T の信頼性を向上させるために設け、これによりホットキャリア効果によるオン電流の劣化を防止する。この L D D 領域はイオンドープ法により当該不純物元素のイオンを電界で加速して、ゲート電極の端部及び該端部の近傍におけるゲート絶縁膜を通して半導体膜に添加する。

【 0 1 1 6 】

第 1 の n チャネル型 T F T 8 5 1 にはチャンネル形成領域 8 3 2 の外側に第 1 の L D D 領域 8 3 5、第 2 の L D D 領域 8 3 4、ソースまたはドレイン領域 8 3 3 が形成され、第 1 の L D D 領域 8 3 5 はゲート電極 8 1 0 と重なるように形成されている。また、第 1 の L D D 領域 8 3 5 と第 2 の L D D 領域 8 3 4 とに含まれる n 型の不純物元素は、上層のゲート絶縁膜やゲート電極の膜厚の差により第 2 の L D D 領域 8 3 4 の方が高くなっている。第 2 の n チャネル型 T F T 8 5 2 も同様な構成とし、チャンネル形成領域 8 3 6、ゲート電極と重なる第 1 の L D D 領域 8 3 9、第 2 の L D D 領域 8 3 8、ソースまたはドレイン領域 8 3 7 から成っている。一方、 p チャネル型 T F T 8 5 0 はシングルドレインの構造であり、チャンネル形成領域 8 2 8 の外側に p 型不純物が添加された不純物領域 8 2 9 ~ 8 3 1 が形成されている。

【 0 1 1 7 】

画素部 8 5 8 において、 n チャネル型 T F T で形成される画素 T F T はオフ電流の低減を目的としてマルチゲート構造で形成され、チャンネル形成領域 8 4 0 の外側にゲート電極と重なる第 1 の L D D 領域 8 4 3、第 2 の L D D 領域 8 4 2、ソースまたはドレイン領域 8 4 1 が設けられている。また、保持容量 8 5 4 は島

状半導体層 8 0 7 とゲート絶縁膜 8 0 8 と同じ層で形成される絶縁層と第 2 の電極 8 1 5 とから形成されている。島状半導体層 8 0 7 には p 型不純物が添加されていて、抵抗率が低いことにより第 2 の電極に印加する電圧を低く抑えることができる。

【 0 1 1 8 】

層間絶縁膜は酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成り、50～500nmの厚さの第 1 の層間絶縁膜 8 1 6 と、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）などの有機絶縁物材料から成る第 2 の層間絶縁膜 8 1 7 とで形成する。このように、第 2 の層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、第 1 の層間絶縁膜 8 1 6 と組み合わせて形成することが好ましい。

【 0 1 1 9 】

その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに CF_4 、 O_2 、 He の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを CF_4 、 O_2 として保護絶縁膜をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを CHF_3 に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【 0 1 2 0 】

そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、レジストマスクパターンを形成し、エッチングによってソース及びドレイン配線 8 1 8 ～ 8 2 3 と、画素電極 8 2 7、ゲート配線 8 2 6、接続電極 8 2 5 を形成する。このようにして図 1 で示すような画素構成の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例 2 で示すアクティブマトリクス型の液晶表示装置を作製することができる。

る。

【 0 1 2 1 】

また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホール形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同様にソース配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。

【 0 1 2 2 】

[実施例7]

本実施例では、実施例1とはアクティブマトリクス基板のTFT構造が異なる他の例を図12を用いて説明する。

【 0 1 2 3 】

図12で示すアクティブマトリクス基板は、第1のpチャネル型TFT950と第2のnチャネル型TFT951を有するロジック回路部955と第2のnチャネル型TFT952から成るサンプリング回路部956とを有する駆動回路957と、画素TFT953と保持容量954を有する画素部958とが形成されている。駆動回路957のロジック回路部955のTFTはシフトレジスタ回路やバッファ回路などを形成し、サンプリング回路956のTFTは基本的にはアナログスイッチで形成する。

【 0 1 2 4 】

本実施例で示すアクティブマトリクス基板は、まず、基板901上に下地膜902を酸化シリコン膜、酸化窒化シリコン膜などで50～200nmの厚さに形成する。その後、レーザー結晶化法や熱結晶化法で作製した結晶質半導体膜から島状半導体層903～907を形成する。その上にゲート絶縁膜908を形成する。そして、nチャネル型TFTを形成する島状半導体層904、905と保持容量を形成する島状半導体層907に $1 \times 10^{16} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度でリン（

P) に代表される n 型を付与する不純物元素を選択的に添加する。

【 0 1 2 5 】

そして、W または TaN を成分とする材料でゲート電極 9 0 9 ~ 9 1 2、ゲート配線 9 1 4、第 2 の電極 (容量電極) 9 1 5、及びソース配線 9 1 3 を形成する。ゲート配線、第 2 の電極、ソース配線は A 1 等の抵抗率の低い材料で別途形成しても良い。そして、島状半導体層 9 0 3 ~ 9 0 7 ゲート電極 9 0 9 ~ 9 1 2 及び第 2 の電極 9 1 5 の外側の領域に $1 \times 10^{19} \sim 1 \times 10^{21} / \text{cm}^3$ の濃度でリン (P) に代表される n 型を付与する不純物元素を選択的に添加する。こうして第 1 の n チャネル型 TFT 9 5 1、第 2 の n チャネル型 TFT 9 5 2 には、それぞれチャネル形成領域 9 3 1、9 3 4、LDD 領域 9 3 3、9 3 6、ソースまたはドレイン領域 9 3 2、9 3 5 が形成される。画素 TFT 9 5 3 の LDD 領域 9 3 9 はゲート電極 9 1 2 を用いて自己整合的に形成するものでチャネル形成領域 9 3 7 の外側に形成され、ソースまたはドレイン領域 9 3 8 は、第 1 及び第 2 の n チャネル型 TFT と同様にして形成されている。

【 0 1 2 6 】

層間絶縁膜は実施例 3 と同様に、酸化シリコン、窒化シリコン、または酸化窒化シリコンなどの無機材料から成る第 1 の層間絶縁膜 9 1 6 と、ポリイミド、アクリル、ポリイミドアミド、BCB (ベンゾシクロブテン) などの有機絶縁物材料から成る第 2 の層間絶縁膜 9 1 7 とで形成する。その後、所定のパターンのレジストマスクを形成し、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。そして、導電性の金属膜をスパッタ法や真空蒸着法で形成しソース配線及びドレイン配線 9 1 8 ~ 9 2 3 と、画素電極 9 2 7、ゲート配線 9 2 6、接続電極 9 2 5 を形成する。このようにして図 1 で示すような画素構造構成の画素部を有するアクティブマトリクス基板を形成することができる。また、本実施例のアクティブマトリクス基板を用いても、実施例 2 で示すアクティブマトリクス型の液晶表示装置を作製することができる。

【 0 1 2 7 】

ロジック回路 9 5 5 の第 1 の n チャネル型 TFT 9 5 1 はドレイン側にゲート

電極と重なるGOLD領域が形成された構造としてある。このGOLD領域によりドレイン領域近傍に発生する高電界領域を緩和して、ホットキャリアの発生を防ぎ、このTFETの劣化を防止することができる。このような構造のnチャネル型TFETはバッファ回路やシフトレジスタ回路に適している。一方、サンプリング回路956の第2のnチャネル型TFET952はGOLD領域とLDD領域をソース側及びドレイン側に設けた構造であり、極性反転して動作するアナログスイッチにおいてホットキャリアによる劣化を防ぎ、さらにオフ電流を低減することを目的とした構造となっている。画素TFET953はLDD構造を有し、マルチゲートで形成され、オフ電流の低減を目的とした構造となっている。一方、pチャネル型TFETはシングルドレイン構造で形成され、チャネル形成領域928の外側にp型の不純物元素が添加された不純物領域929、930を形成する。

【0128】

このように、図12で示すアクティブマトリクス基板は、画素部及び駆動回路が要求する仕様に応じて各回路を構成するTFETを最適化し、各回路の動作特性と信頼性を向上させることを特に考慮した構成となっている。

【0129】

また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホールを形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。

【0130】

[実施例8]

本実施例では図1とは異なる画素構造を図13に示し、断面構造を図14に示す。それぞれ、A-A'断面図、G-G'断面図を示した。なお、本実施例は、実施例1と保持容量の構成が異なるのみであり、それ以外の構成は実施例1とほ

ば同一である。

【0131】

本実施例では保持容量は、第2の半導体層1002上の絶縁膜を誘電体として、第2の半導体層1002と、容量電極1005とで形成している。なお、容量電極1005は、容量配線1009と接続されている。また、容量電極1005は、第1の電極1004及びソース配線1006と同じ絶縁膜上に同時に形成される。また、容量配線は、画素電極1011、接続電極1010、ゲート配線1007と同じ絶縁膜上に同時に形成される。

【0132】

また、本実施例では、不純物領域1012～1014には画素TFTと同様にn型を付与する不純物元素が添加されている。

【0133】

また、本実施例では、ゲート電極とソース配線を同時に形成する例を示したが、マスクを1枚増やし、さらにゲート電極と第1の電極及び容量配線を別の工程で形成してもよい。即ち、まず、半導体層と重なりゲート電極となる部分だけを形成し、順次n型またはp型の不純物元素を添加し、活性化を行った後、ゲート電極と重ねて第1の電極を形成する。この際、コンタクトホール形成を行うことなく、単なる重ね合わせでゲート電極と第1の電極とのコンタクトを形成する。また、第1の電極と同時にソース配線、容量配線を形成する。こうすることによって第1の電極及びソース配線の材料として低抵抗なアルミニウムや銅を用いることが可能となる。また、容量配線に重なる半導体層にn型またはp型の不純物元素を添加して保持容量の増加を図ることができる。

【0134】

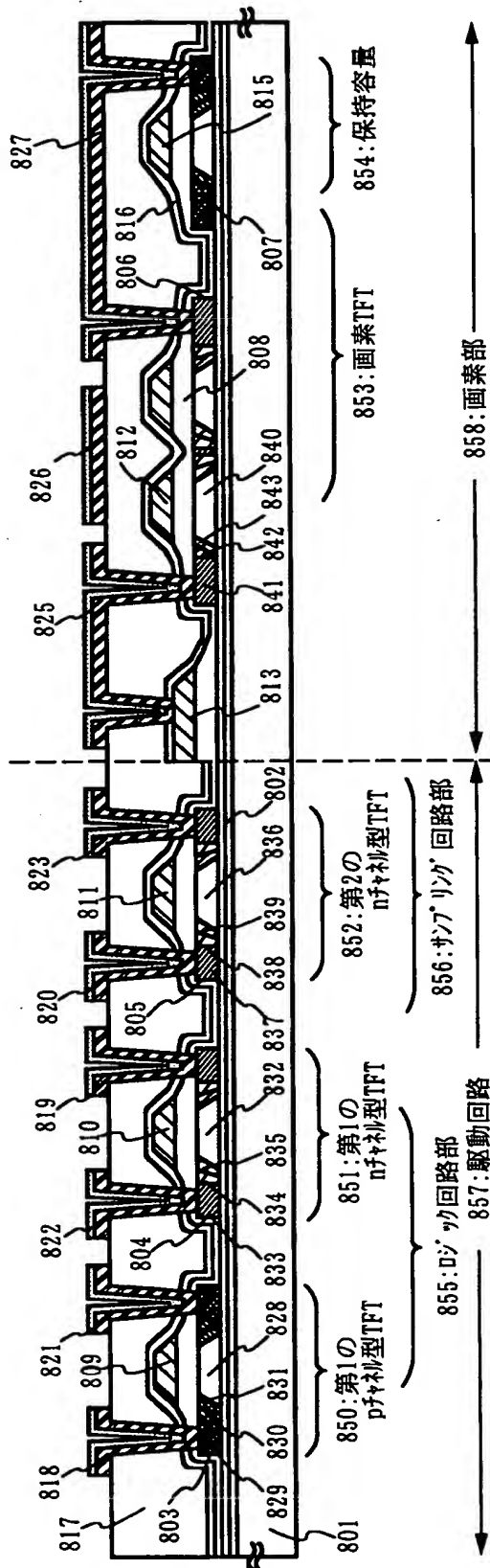
本実施例は、実施例1のマスク設計を変更することで、枚数を増やすことなく作製することができる。

【0135】

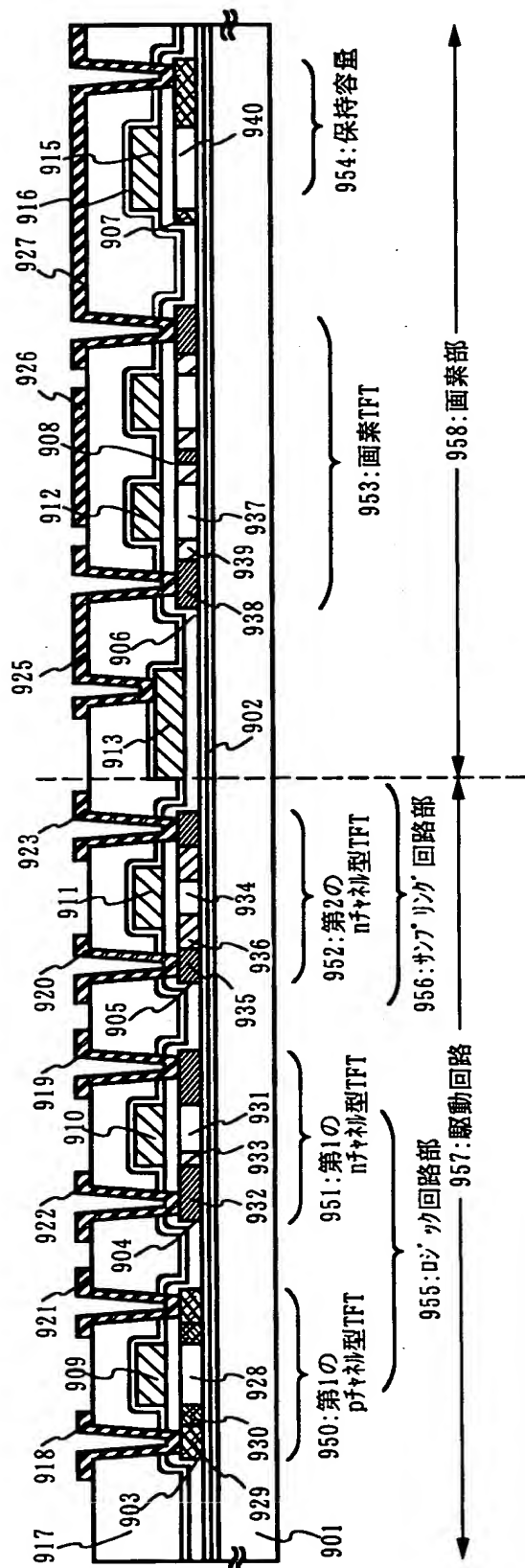
なお、本実施例は実施例1乃至5のいずれか一と自由に組み合わせることができる。

【0136】

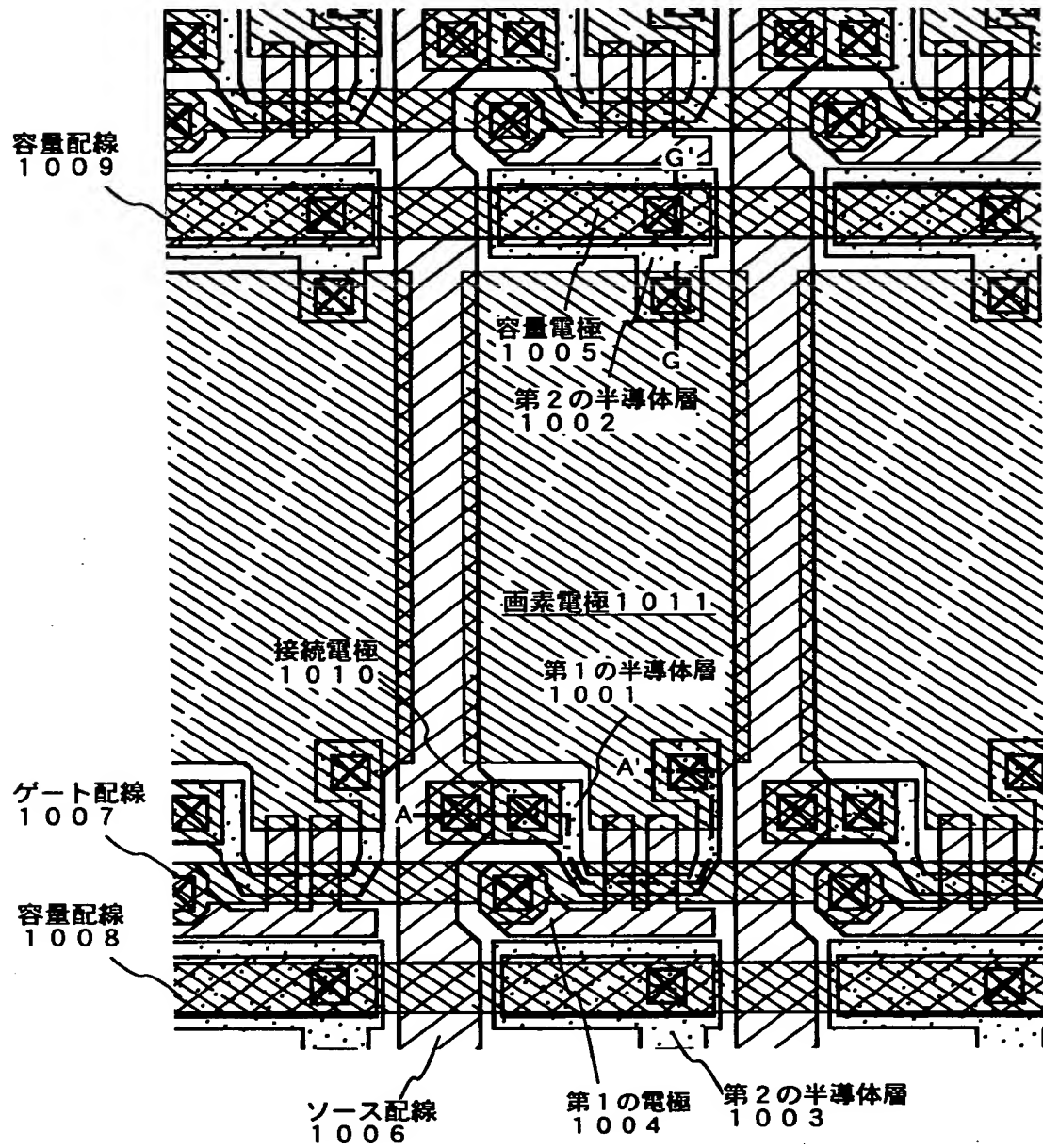
【図 11】



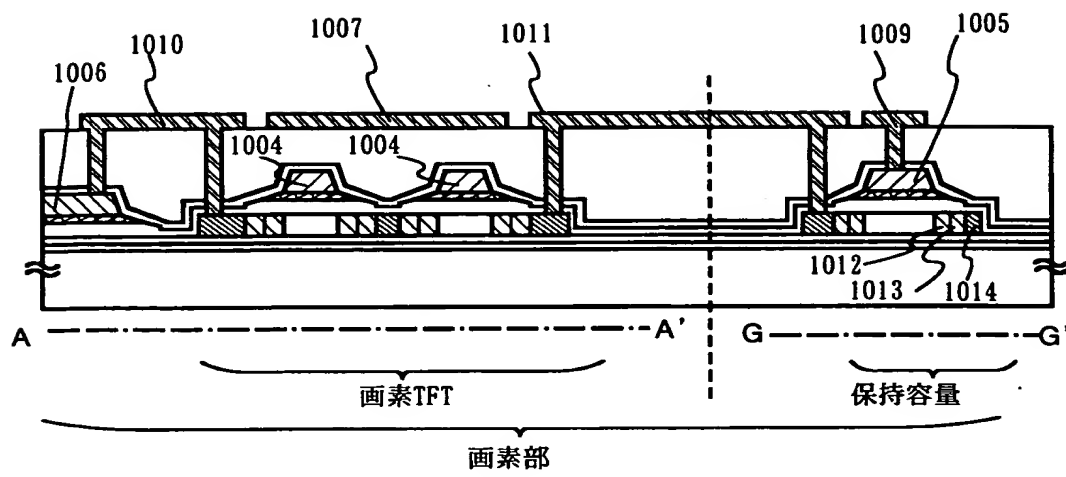
【图 1 2】



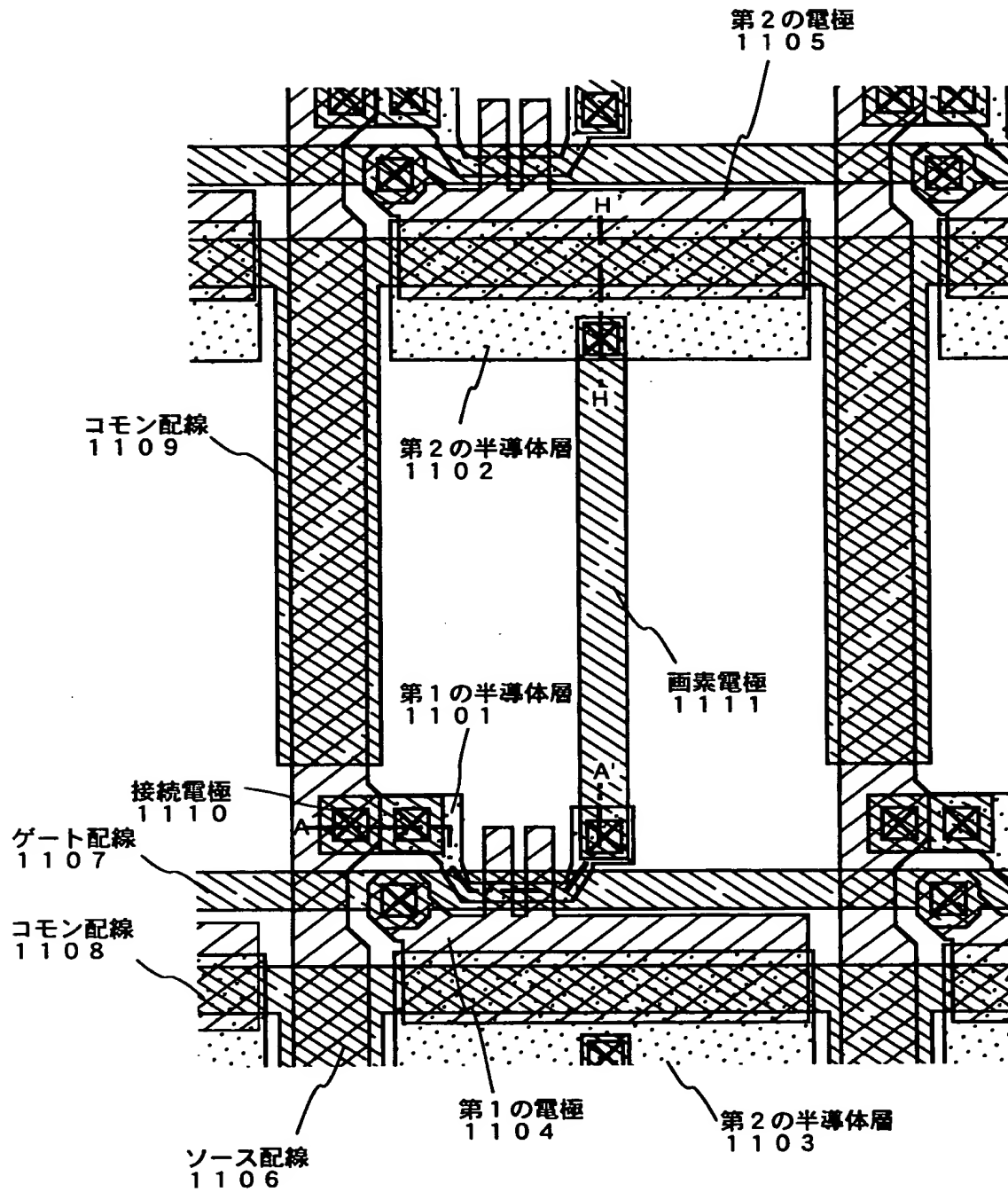
【図13】



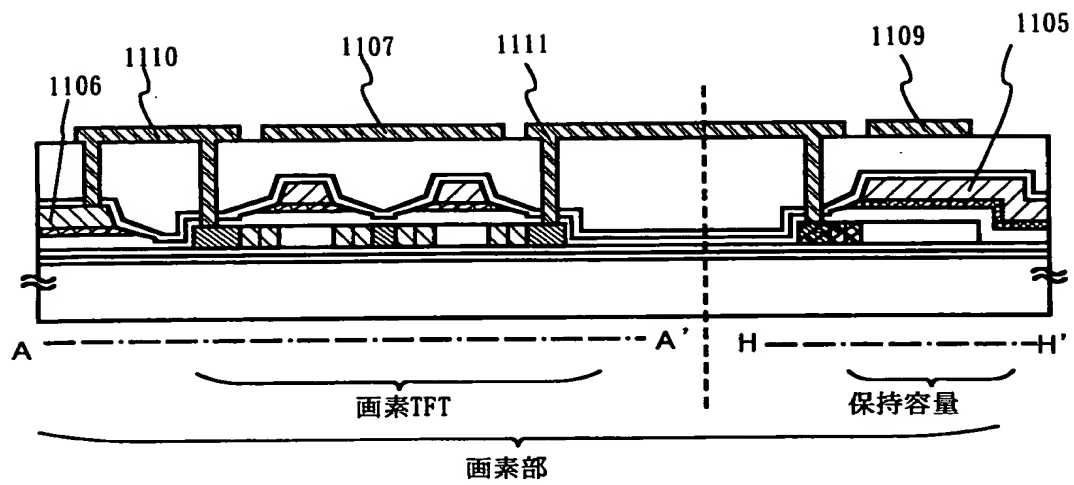
【図 1 4】



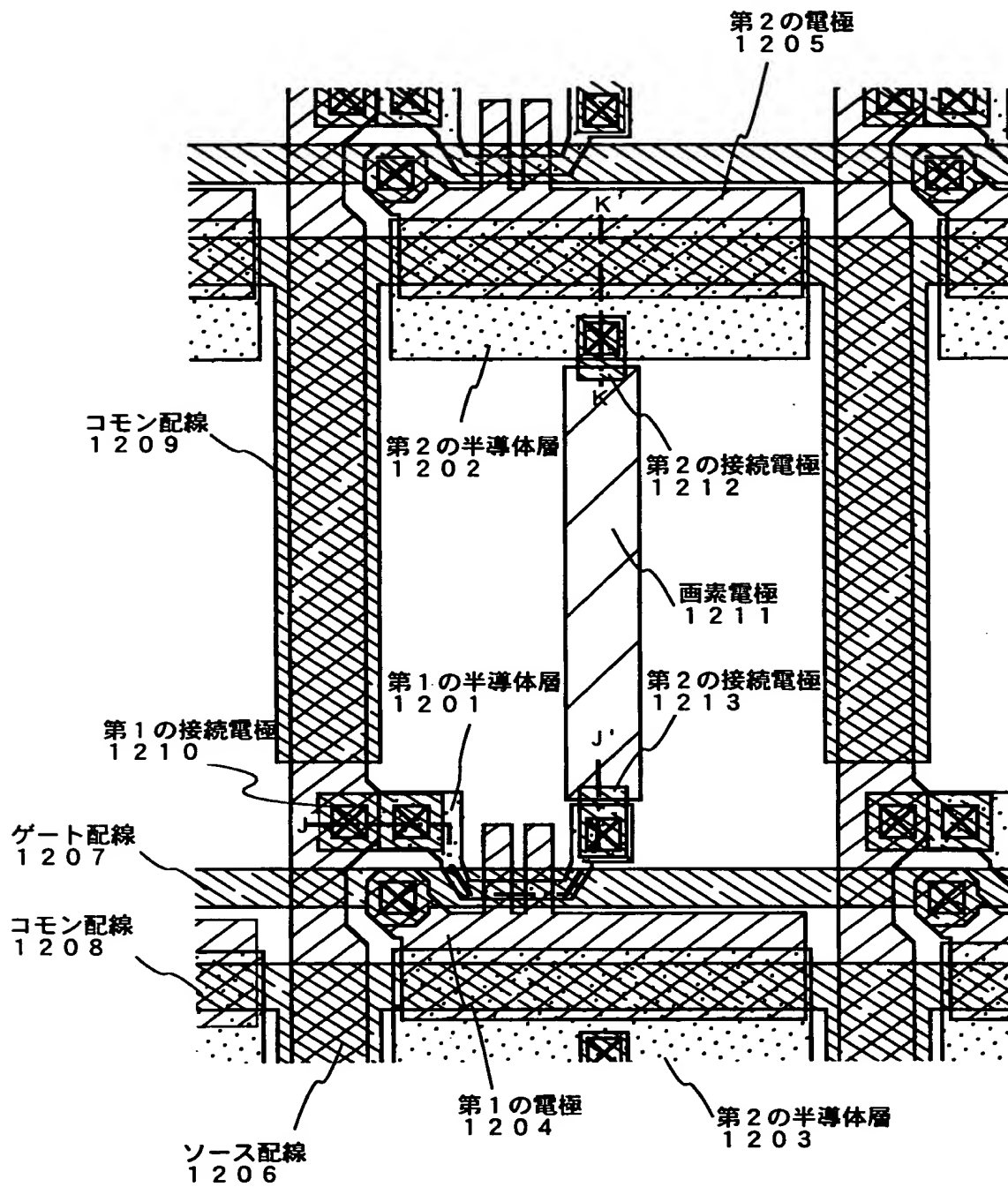
【図 15】



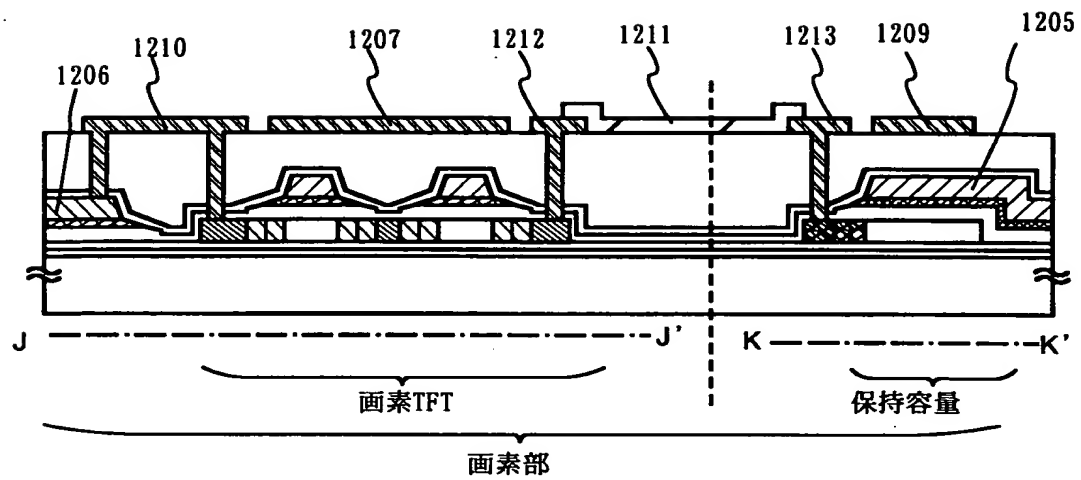
【図 16】



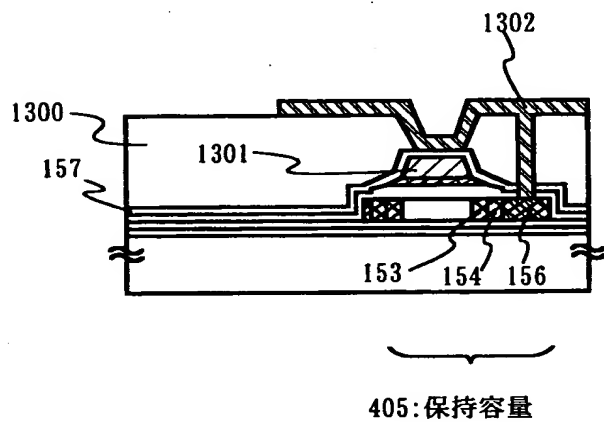
【図 17】



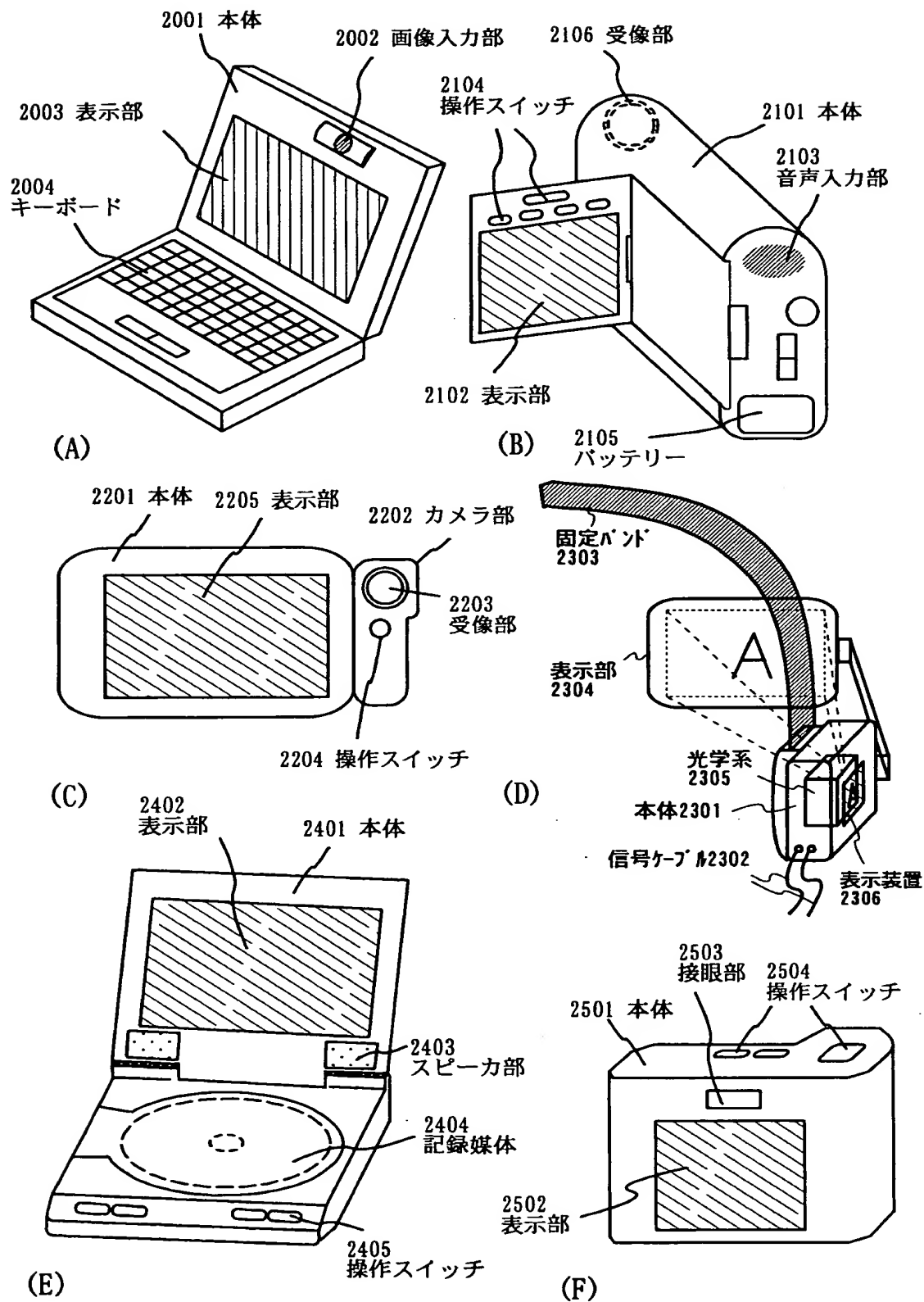
【図 18】



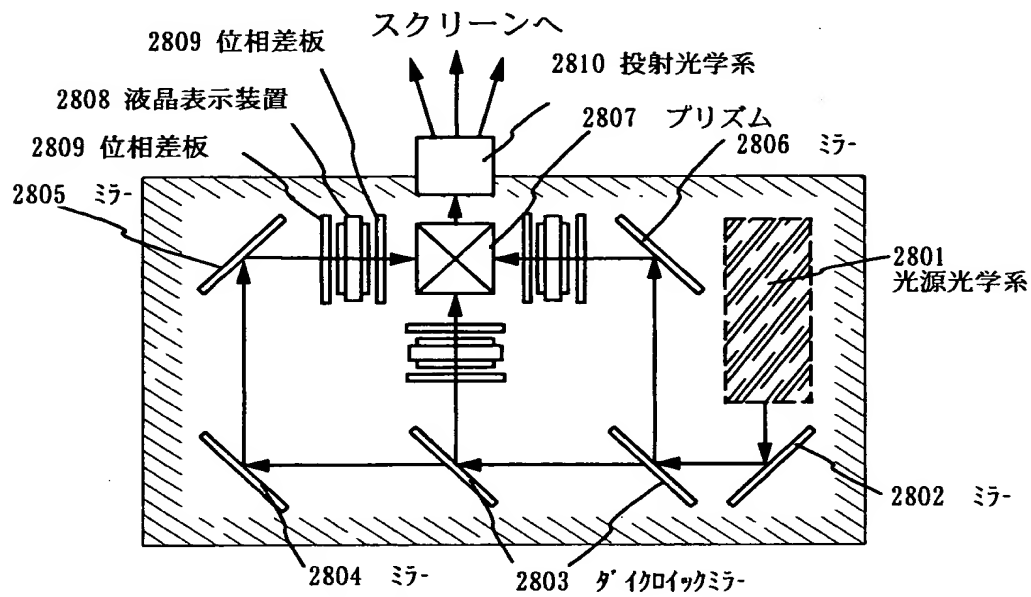
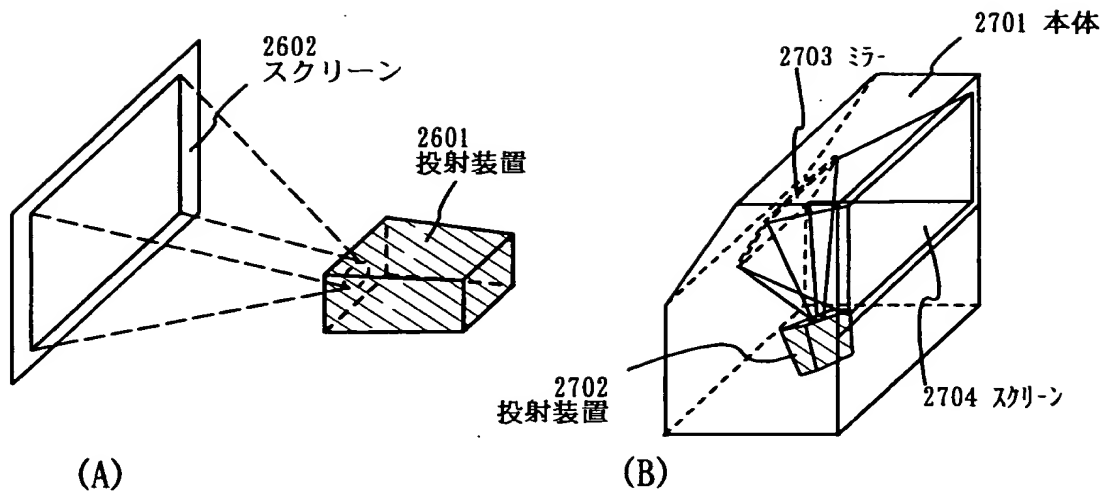
【図 19】



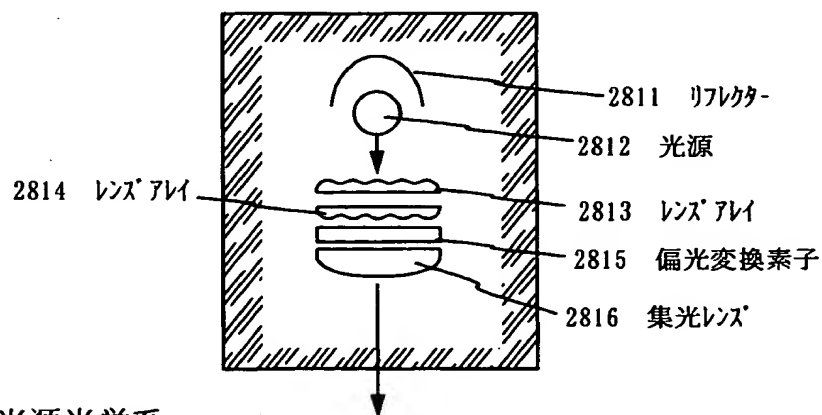
【図20】



【図 21】

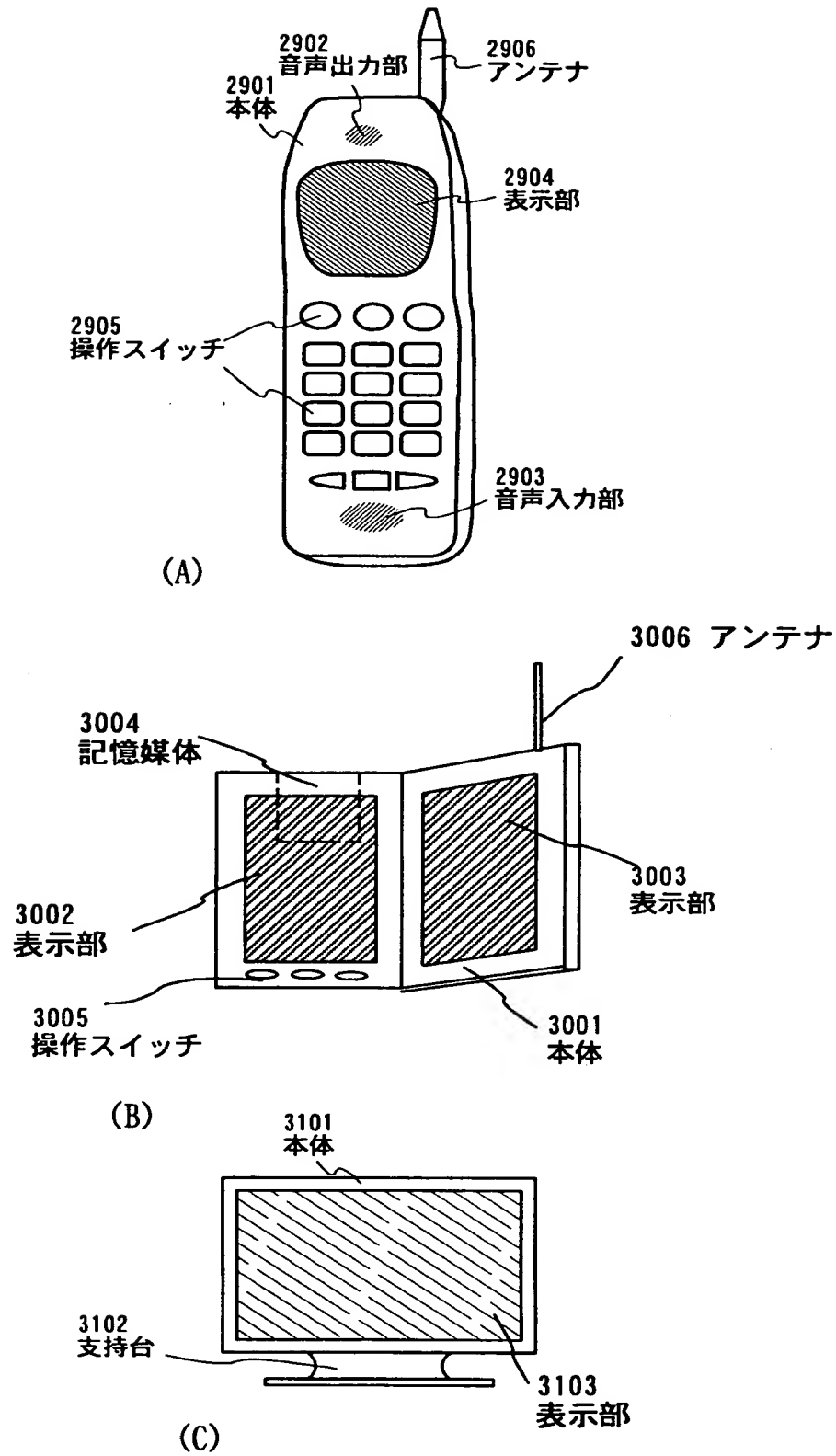


(C) 投射装置 (三板式)

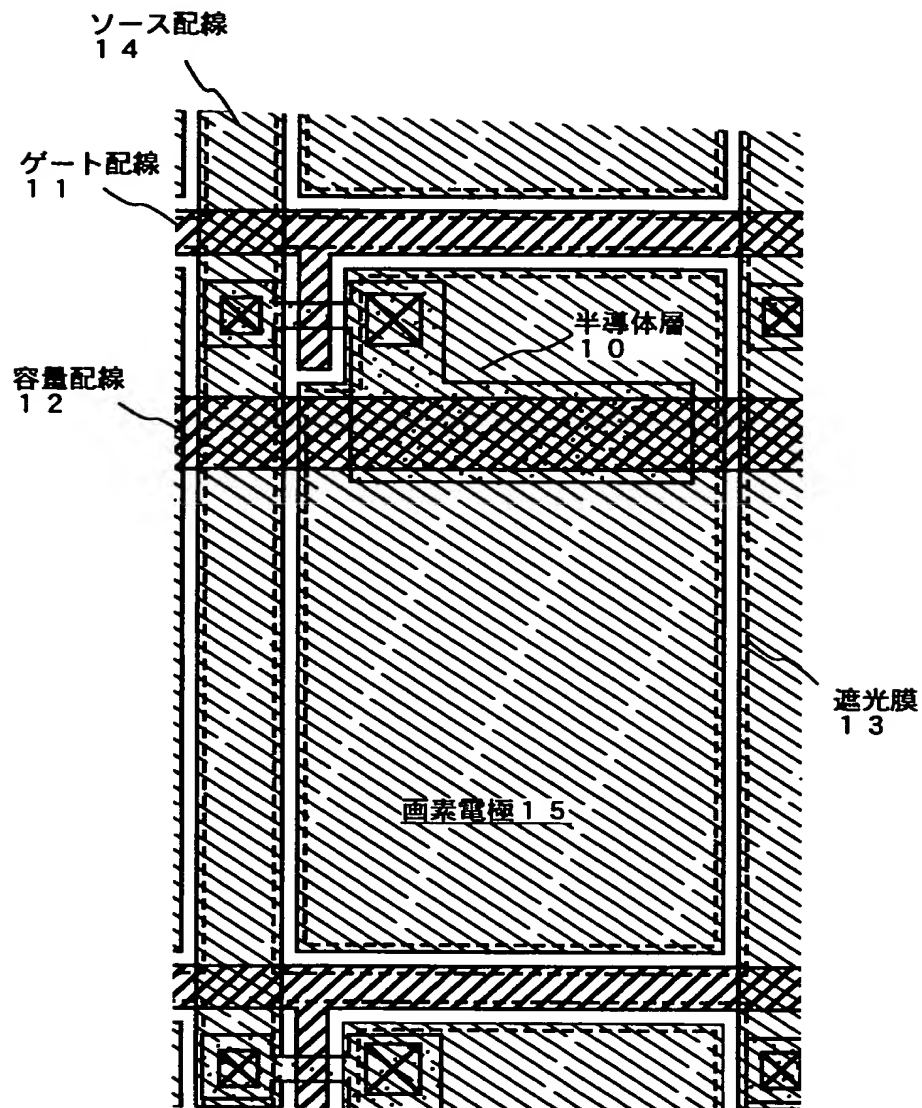


(D) 光源光学系

【図 2 2】



【図 2 3】



従来例

【書類名】 要約書

【要約】

【課題】 マスク数を増加させることなく、ブラックマスクを用いずに表示装置の画素開口率を改善する。

【解決手段】

画素間を遮光する箇所は、画素電極 1 6 7 をソース配線 1 3 7 と一部重なるように配置し、T F T は T F T のチャネル形成領域と重なるゲート配線 1 6 6 によって遮光することによって、高い画素開口率を実現する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日
[変更理由] 新規登録
住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所

【 0 1 7 9 】

図 2 2 (C) はディスプレイであり、本体 3 1 0 1、支持台 3 1 0 2、表示部 3 1 0 3 等を含む。本発明は表示部 3 1 0 3 に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角 1 0 インチ以上（特に 3 0 インチ以上）のディスプレイには有利である。

【 0 1 8 0 】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1 ～ 1 2 のどのような組み合わせからなる構成を用いても実現することができる。

【 0 1 8 1 】

【発明の効果】

本発明によりマスク数及び工程数を増加させることなく、高い開口率を実現した画素構造を有する液晶表示装置を実現することができる。

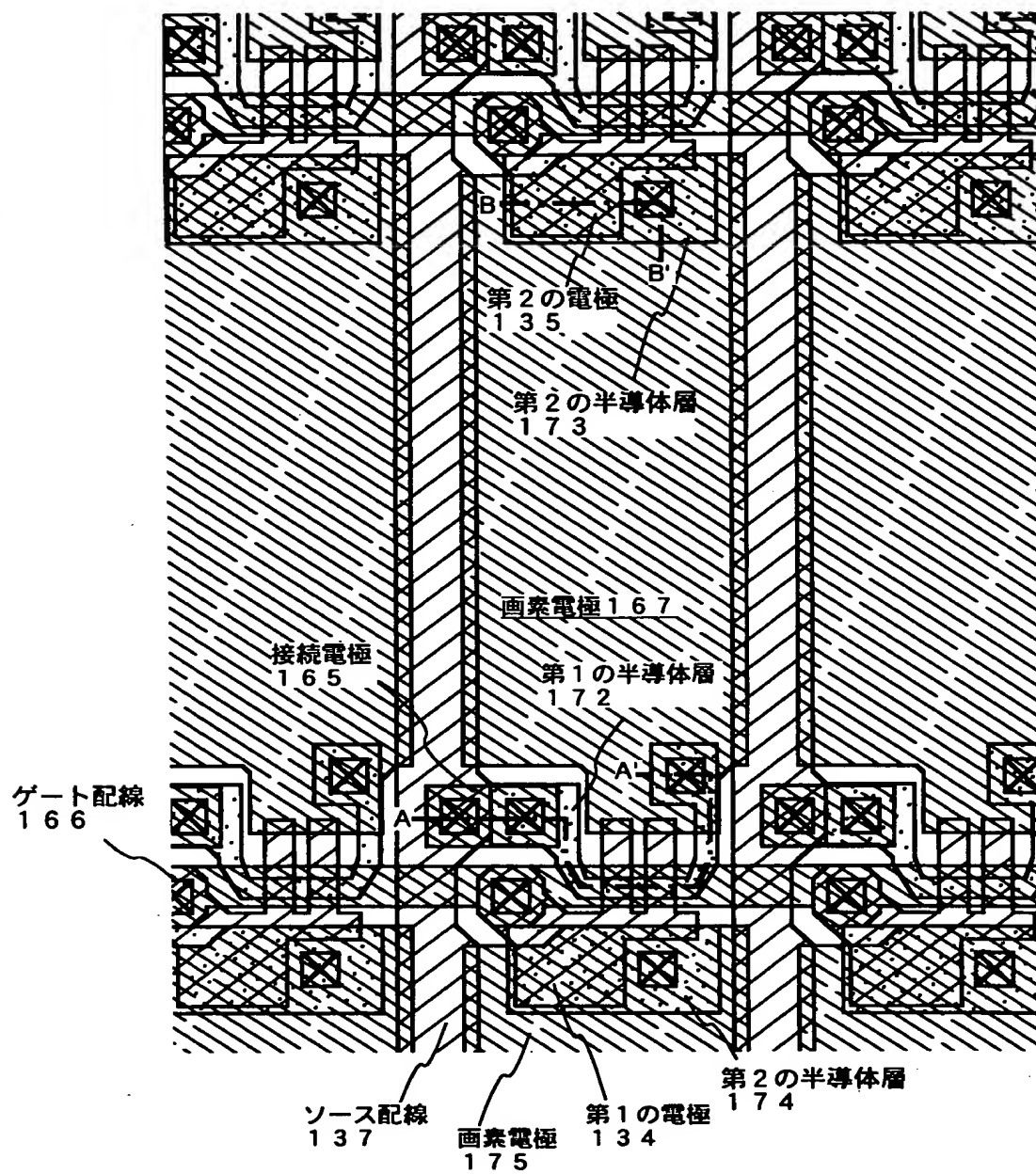
【図面の簡単な説明】

- 【図 1】 本発明の画素部上面図を示す図。（実施例 1）
- 【図 2】 アクティブマトリクス基板の作製工程を示す図。（実施例 1）
- 【図 3】 アクティブマトリクス基板の作製工程を示す図。（実施例 1）
- 【図 4】 アクティブマトリクス基板の作製工程を示す図。（実施例 1）
- 【図 5】 反射型液晶表示装置の断面構造図を示す図。（実施例 2）
- 【図 6】 本発明の画素部上面図を示す図。（実施例 1）
- 【図 7】 アクティブマトリクス基板の上面図及び断面図を示す図。（実施例 3）
- 【図 8】 端子部の断面図を示す図。（実施例 3）
- 【図 9】 透過型液晶表示装置の断面構造図を示す図。（実施例 4）
- 【図 1 0】 端子部の断面図を示す図。（実施例 5）
- 【図 1 1】 本発明のアクティブマトリクス基板の断面を示す図。（実施例 6）
- 【図 1 2】 本発明のアクティブマトリクス基板の断面を示す図。（実施例 7）
- 【図 1 3】 本発明の画素部上面図を示す図。（実施例 8）
- 【図 1 4】 本発明の画素部断面図を示す図。（実施例 8）

- 【図 1 5】 本発明の画素部上面図を示す図。(実施例 1 0)
- 【図 1 6】 本発明の画素部断面図を示す図。(実施例 1 0)
- 【図 1 7】 本発明の画素部上面図を示す図。(実施例 1 1)
- 【図 1 8】 本発明の画素部断面図を示す図。(実施例 1 1)
- 【図 1 9】 本発明の画素部断面図を示す図。(実施例 1 2)
- 【図 2 0】 電子機器の一例を示す図。(実施例 1 3)
- 【図 2 1】 電子機器の一例を示す図。(実施例 1 3)
- 【図 2 2】 電子機器の一例を示す図。(実施例 1 3)
- 【図 2 3】 従来例を示す図。

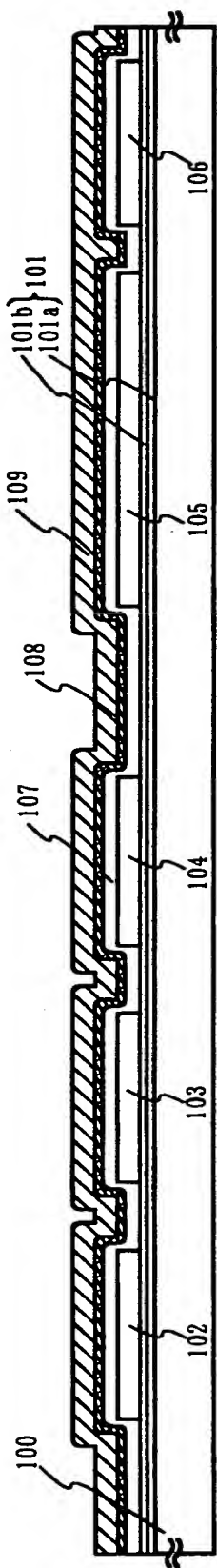
【書類名】 図面

【図 1】

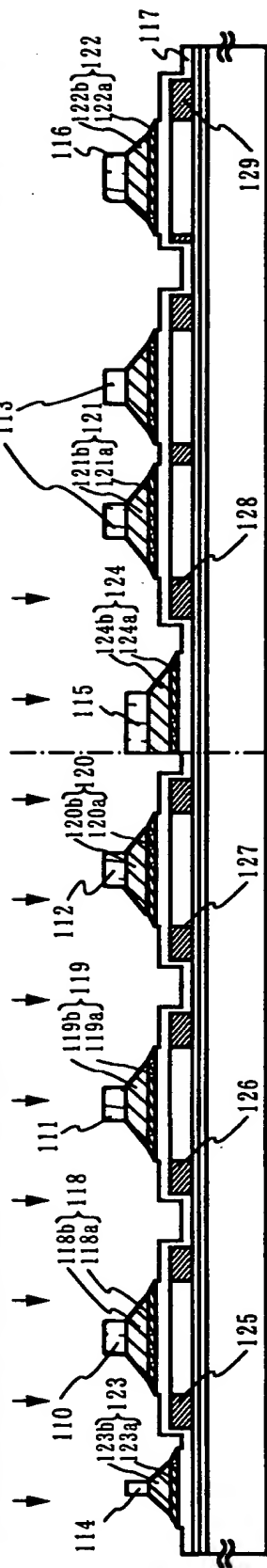


【図 2】

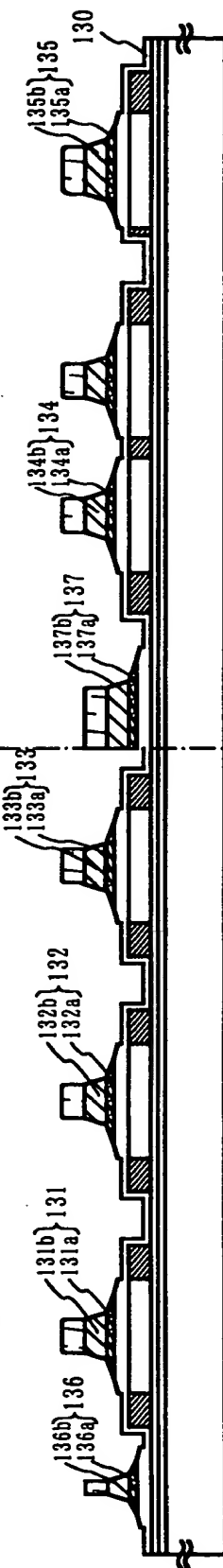
(A) 第1の導電膜と第2の導電膜の形成



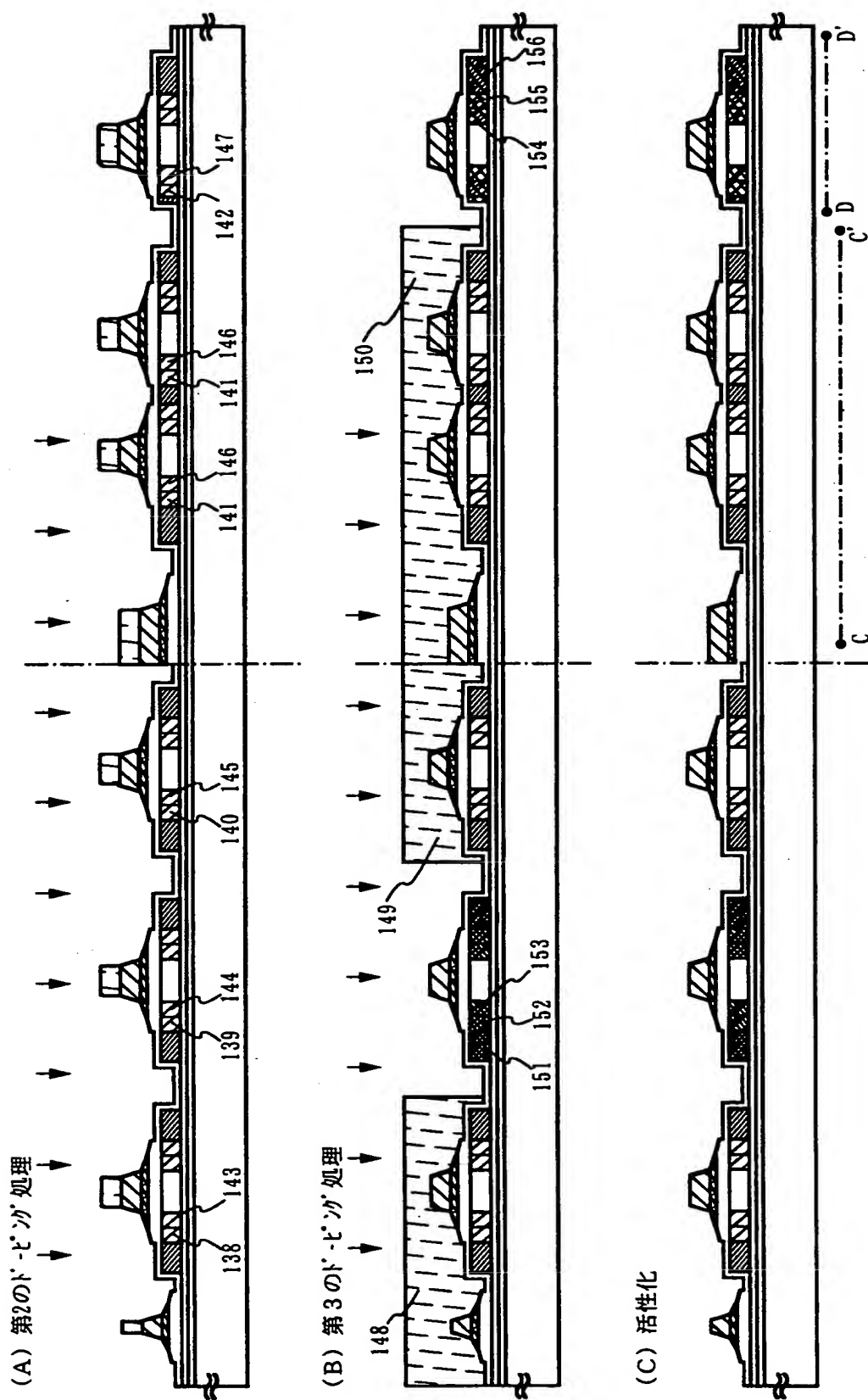
(B) 第1のI_{off}処理/第1のドーピング処理



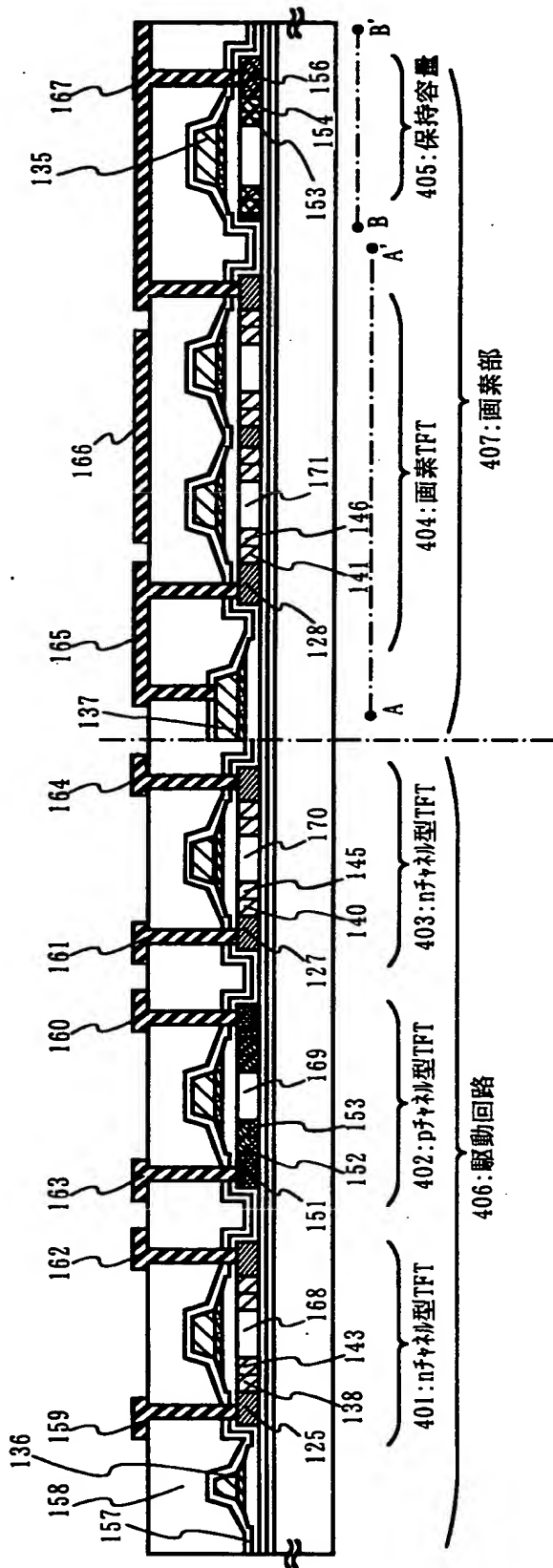
(C) 第2のI_{off}処理



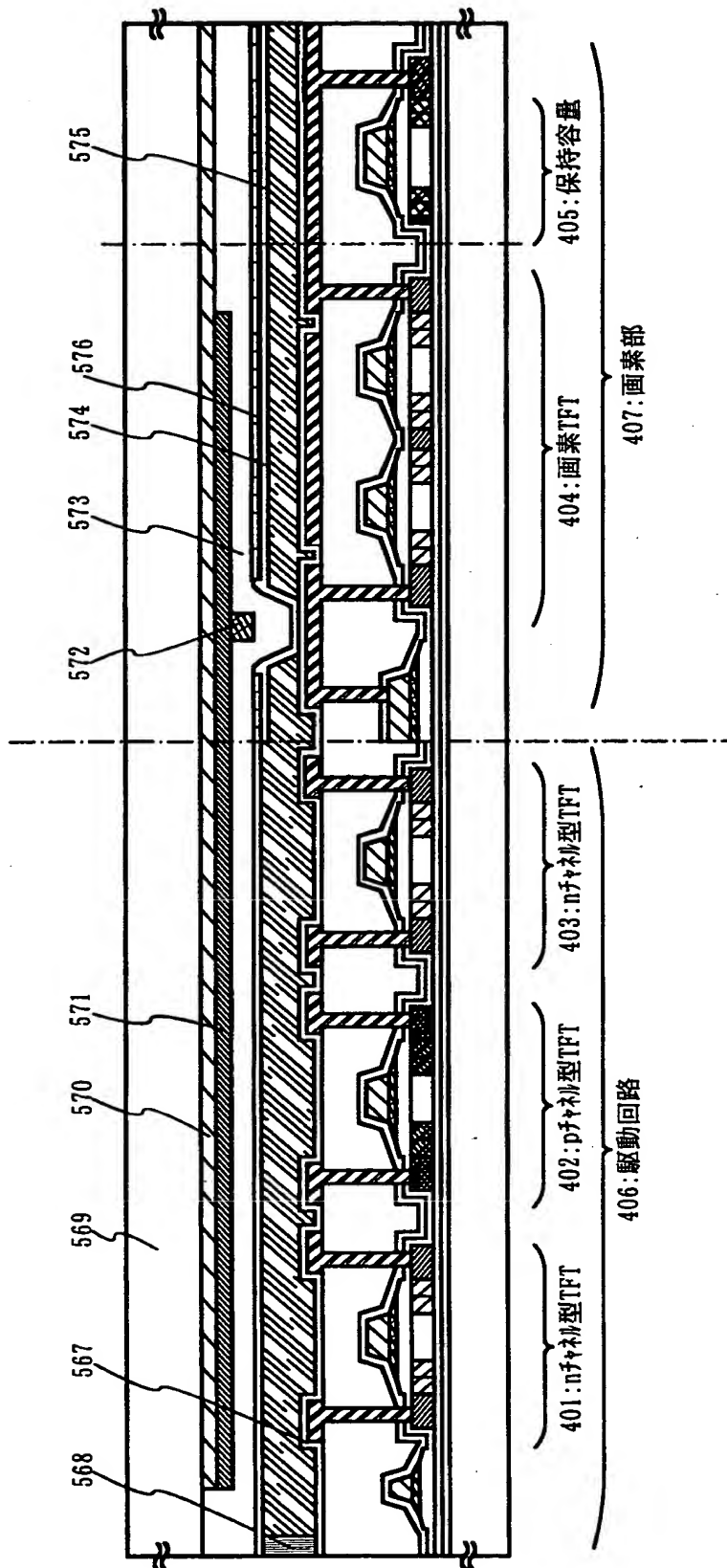
【図 3】



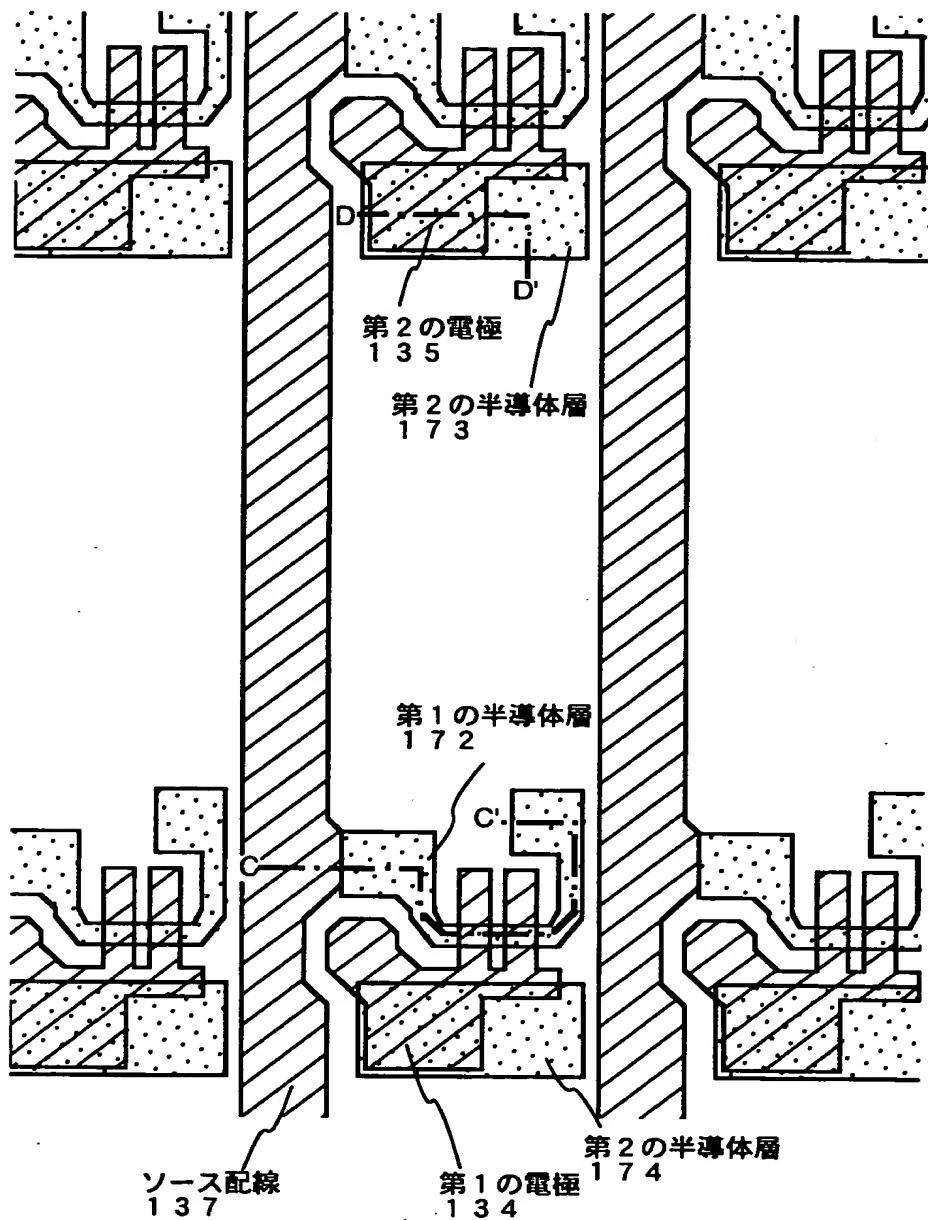
【図4】



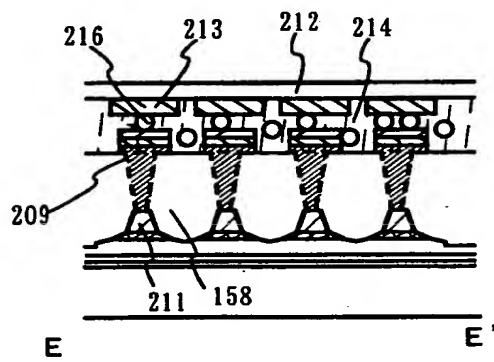
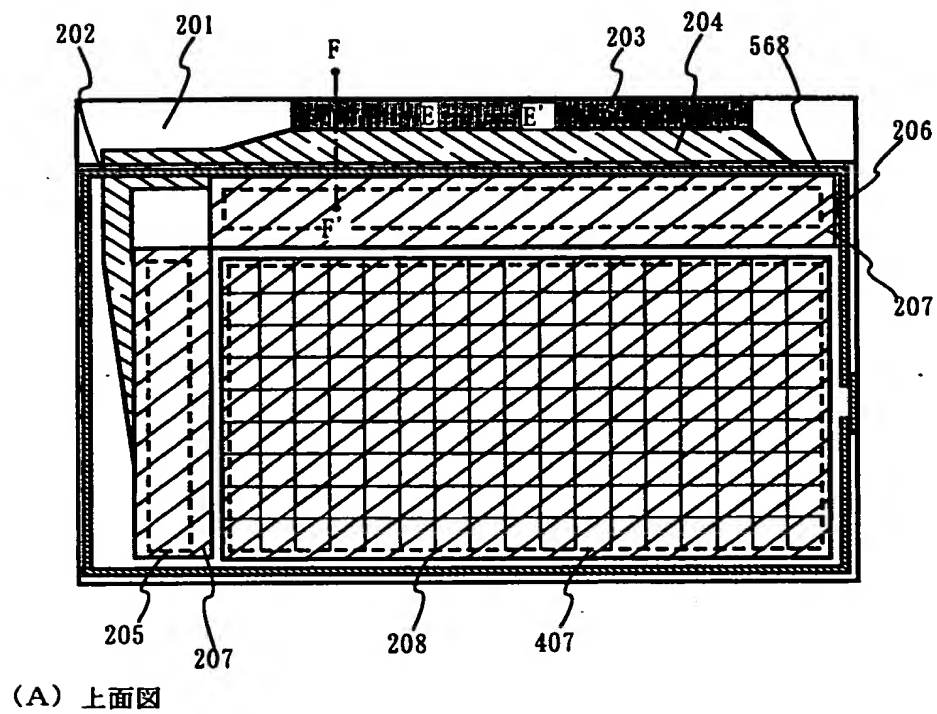
【図 5】



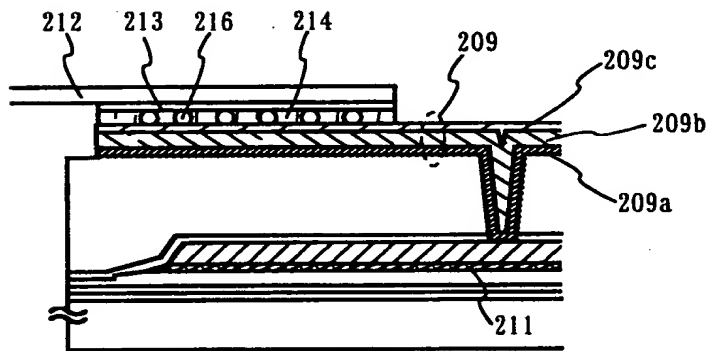
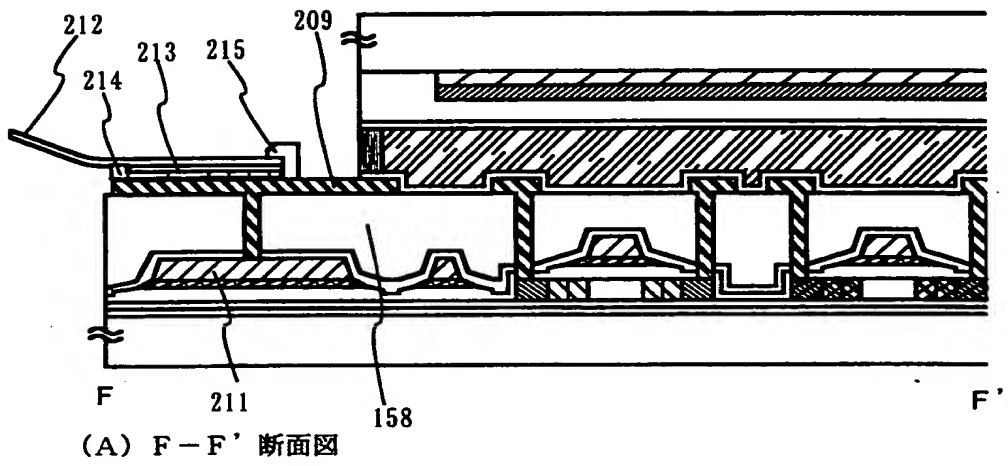
【図 6】



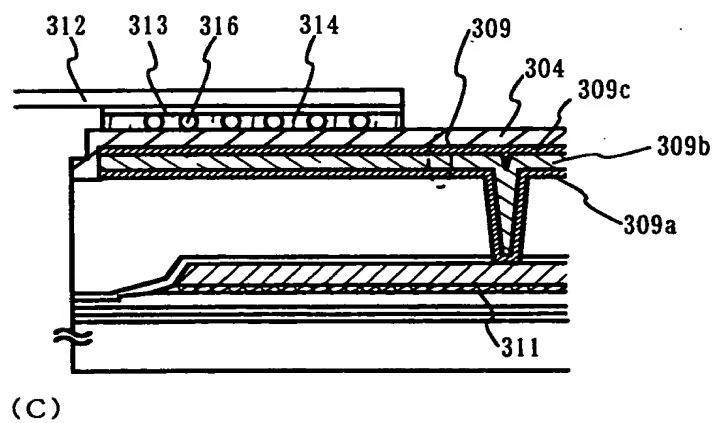
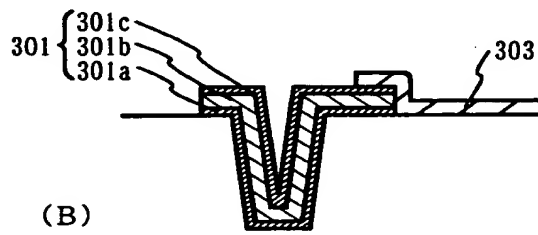
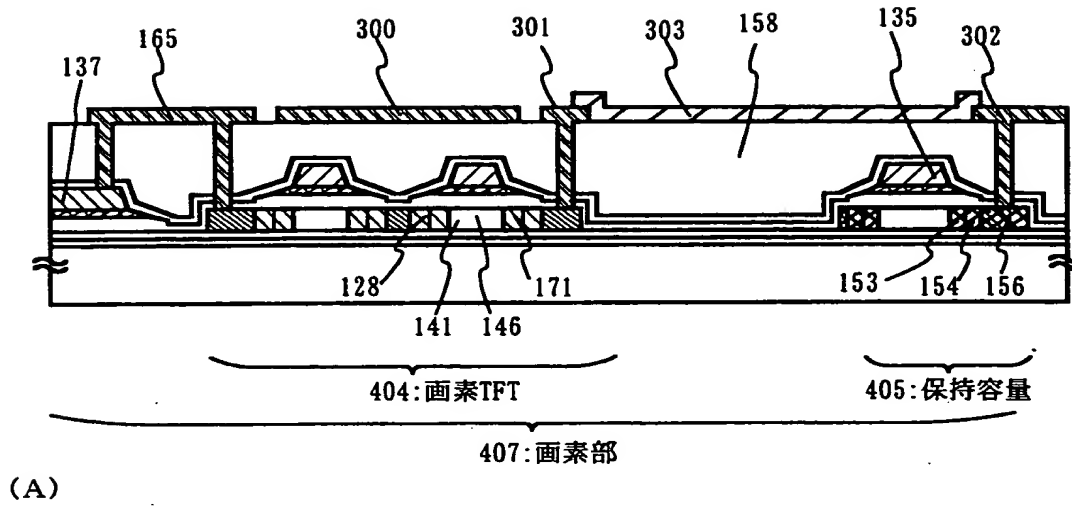
【図 7】



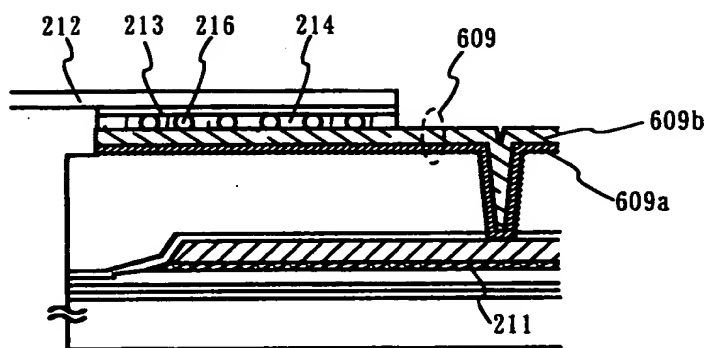
【図 8】



【図 9】



【図 1 0】



【実施例 9】

本実施例では、実施例 1 で示したアクティブマトリクス基板の T F T の半導体層を形成する結晶質半導体層の他の作製方法について示す。本実施例では特開平 7 - 1 3 0 6 5 2 号公報で開示されている触媒元素を用いる結晶化法を適用することもできる。以下に、その場合の例を説明する。

【0 1 3 7】

実施例 1 と同様にして、ガラス基板上に下地膜、非晶質半導体層を 2 5 ~ 8 0 nm の厚さで形成する。例えば、非晶質シリコン膜を 5 5 nm の厚さで形成する。そして、重量換算で 1 0 p p m の触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する層を形成する。触媒元素にはニッケル (N i)、ゲルマニウム (G e)、鉄 (F e)、パラジウム (P d)、スズ (S n)、鉛 (P b)、コバルト (C o)、白金 (P t)、銅 (C u)、金 (A u) などである。この触媒元素を含有する層 1 7 0 は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を 1 ~ 5 nm の厚さに形成しても良い。

【0 1 3 8】

そして、結晶化の工程では、まず 4 0 0 ~ 5 0 0 °C で 1 時間程度の熱処理を行い、非晶質シリコン膜の含有水素量を 5 atom% 以下にする。そして、ファーネスアニール炉を用い、窒素雰囲気中で 5 5 0 ~ 6 0 0 °C で 1 ~ 8 時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる。

【0 1 3 9】

このようにして作製された結晶質半導体層から島状半導体層を作製すれば、実施例 1 と同様にしてアクティブマトリクス基板を完成させることができる。しかし、結晶化の工程においてシリコンの結晶化を助長する触媒元素を使用した場合、島状半導体層中には微量 ($1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³ 程度) の触媒元素が残留する。勿論、そのような状態でも T F T を完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【 0 1 4 0 】

この目的におけるリン（P）によるゲッタリング処理は、図 3（C）で説明した活性化工程で同時に行うことができる。ゲッタリングに必要なリン（P）の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャネル型 T F T および p チャネル型 T F T のチャネル形成領域から触媒元素をその濃度でリン（P）を含有する不純物領域へ偏析させることができる。その結果その不純物領域には $1 \times 10^{17} \sim 1 \times 10^{19} \text{atoms/cm}^3$ 程度の触媒元素が偏析した。このようにして作製した T F T はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【 0 1 4 1 】

なお、本実施例は、実施例 1 乃至 8 のいずれか一と自由に組み合わせることが可能である。

【 0 1 4 2 】

[実施例 1 0]

本実施例では、実施例 1 とは異なる画素構造（I P S 方式）を図 1 5 に示し、断面構造を図 1 6 に示す。それぞれ、A - A' 断面図、H - H' 断面図を示した。

【 0 1 4 3 】

本実施例は、I P S（In-Plane Switching）方式（横電界方式とも言う）のアクティブマトリクス型の液晶表示装置の一例を示す。I P S 方式は画素電極と共通配線（以下、コモン配線と呼ぶ）との両方を一方の基板に形成し、横方向に電界を印加することに特徴があり、液晶分子の長軸が基板面にほぼ平行な方向に配向制御されている。この I P S 方式とすることで視野角を広げることができる。

【 0 1 4 4 】

図 1 5 において、1 1 0 1 は第 1 の半導体層、1 1 0 2、1 1 0 3 は第 2 の半導体層、1 1 0 4 は第 1 の電極、1 1 0 5 は第 2 の電極、1 1 0 6 はソース配線、1 1 0 7 はゲート配線、1 1 0 8、1 1 0 9 はコモン配線、1 1 1 0 は接続電極、1 1 1 1 は画素電極である。なお、画素電極とコモン配線は、基板面と平行

な電界が生じるように配置されている。また、コモン配線はソース配線と重なるように配置されており画素部の開口率を向上させている。

【 0 1 4 5 】

また、図 1 6 に示すように第 1 の電極 1 1 0 4、第 2 の電極 1 1 0 5、及びソース配線 1 1 0 6 は、第 1 の半導体層及び第 2 の半導体層を覆う絶縁膜上に同時に形成されている。また、画素電極 1 1 1 1、接続電極 1 1 1 0、ゲート配線 1 1 0 7、及びコモン配線 1 1 0 9 は、ソース配線を覆う層間絶縁膜上に同時に形成されている。

【 0 1 4 6 】

また、第 1 の電極はゲート配線と電氣的に接続されており、第 1 の半導体層と重なる第 1 の電極はゲート電極として機能する。

【 0 1 4 7 】

また、本実施例では、長形状の画素電極を示したが、画素電極及びコモン電極の形状をくの字の電極構造として、さらに視野角を広げてもよい。

【 0 1 4 8 】

また、保持容量は、第 2 の半導体層と、第 2 の半導体層を覆う絶縁膜と、第 2 の電極とで形成される。この第 2 の電極は隣り合う画素のゲート配線と電氣的に接続されている。また、第 2 の半導体層には p 型を付与する不純物元素が添加されている。

【 0 1 4 9 】

なお、本実施例は、実施例 1 のマスクパターンを変更すれば実施例 1 と同じ工程で得られる画素構成である。

【 0 1 5 0 】

実施例 1 を用いて図 1 5 及び図 1 6 に示す状態を得た後、実施例 2 に示した方法により液晶表示装置を得る。画素間の隙間は実施例 2 と同様に対向基板に設けたカラーフィルタを用いて遮光する。ただし、IPS 方式とするため、配向処理などを変更する必要がある。

【 0 1 5 1 】

[実施例 1 1]

本実施例では、実施例 10 とは異なる他の IPS 方式の画素構造を図 17 に示し、断面構造を図 18 に示す。それぞれ、J-J' 断面図、K-K' 断面図を示した。なお、本実施例は、実施例 10 と画素電極の構成が異なるのみであり、それ以外の構成は実施例 10 とほぼ同一である。

【0152】

図 17 において、1201 は第 1 の半導体層、1202、1203 は第 2 の半導体層、1204 は第 1 の電極、1205 は第 2 の電極、1206 はソース配線、1207 はゲート配線、1208、1209 はコモン配線、1210 は第 1 の接続電極、1211 は画素電極、1212、1213 は第 2 の接続電極である。なお、画素電極とコモン配線は、基板面と平行な電界が生じるように配置されている。また、画素電極 1211 は透光性を有する導電膜（ITO 膜等）を用いており、マスクを 1 枚増やして透光性を有する導電膜をパターニングして、第 2 の接続電極と画素電極とを重ねあわせて電気的な接続を可能としている。画素電極として透光性を有する導電膜を用いることによって開口率を向上させている。また、コモン配線はソース配線と重なるように配置されており画素部の開口率を向上させている。

【0153】

また、図 18 に示すように第 1 の電極 1204、第 2 の電極 1205、及びソース配線 1206 は、第 1 の半導体層及び第 2 の半導体層を覆う絶縁膜上に同時に形成されている。また、第 1 の接続電極 1210、ゲート配線 1207、及びコモン配線 1209、第 2 の接続電極 1213、1212 は、ソース配線を覆う層間絶縁膜上に同時に形成されている。

【0154】

また、第 1 の電極はゲート配線と電気的に接続されており、第 1 の半導体層と重なる第 1 の電極はゲート電極として機能する。

【0155】

また、本実施例では、長方形の画素電極を示したが、画素電極及びコモン電極の形状をくの字の電極構造として、さらに視野角を広げてもよい。

【0156】

また、保持容量は、第 2 の半導体層と、第 2 の半導体層を覆う絶縁膜と、第 2 の電極とで形成される。この第 2 の電極は隣り合う画素のゲート配線と電氣的に接続されている。また、第 2 の半導体層には p 型を付与する不純物元素が添加されている。

【0157】

なお、本実施例は、実施例 1 のマスクパターンを変更すれば実施例 1 と同じ工程で得られる画素構成である。

【0158】

実施例 1 を用いて図 1 5 及び図 1 6 に示す状態を得た後、実施例 2 に示した方法により液晶表示装置を得る。画素間の隙間は実施例 2 と同様に対向基板に設けたカラーフィルタを用いて遮光する。ただし、IPS 方式とするため、配向処理などを変更する必要がある。

【0159】

[実施例 1 2]

本実施例では、実施例 1 とは異なる保持容量の断面構造を図 1 9 に示す。なお、本実施例は、実施例 1 と保持容量の構成が異なるのみであり、それ以外の構成は実施例 1 とほぼ同一である。なお、同じ符号を用いた部分はそれぞれ実施例 1 と対応している。

【0160】

まず、実施例 1 に従って層間絶縁膜を形成する状態を得た後、マスクを 1 枚増やし、選択的にエッチングして層間絶縁膜を一部除去して、有機樹脂からなる層間絶縁膜 1 3 0 0 と層間絶縁膜 1 5 7 を選択的に残す。次いで、画素電極 1 3 0 2 を形成する。

【0161】

本実施例では、実施例 1 と同様に第 1 絶縁膜を誘電体として不純物領域 1 5 3 ～ 1 5 6 を含む半導体層と容量電極 1 3 0 1 とで保持容量が形成される。加えて、層間絶縁膜 1 5 7 を誘電体として容量電極 1 3 0 1 と画素電極 1 3 0 2 とで保持容量が形成される。なお、不純物領域 1 5 3 ～ 1 5 6 には画素 TFT と同様に n 型または p 型を付与する不純物元素が添加されている。

【0162】

このような構成とすることでさらなる保持容量の増加を図ることができる。

【0163】

なお、本実施例は実施例1乃至9のいずれか一と自由に組み合わせることができる。

【0164】

[実施例13]

本願発明を実施して形成されたCMOS回路や画素部は様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0165】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図20、図21、及び図22に示す。

【0166】

図20（A）はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を画像入力部2002、表示部2003やその他の信号制御回路に適用することができる。

【0167】

図20（B）はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102やその他の信号制御回路に適用することができる。

【0168】

図20（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部

2 2 0 5 等を含む。本発明は表示部 2 2 0 5 やその他の信号制御回路に適用できる。

【 0 1 6 9 】

図 2 0 (D) は頭部取り付け型のディスプレイの一部(右片側)であり、本体 2 3 0 1、信号ケーブル 2 3 0 2、頭部固定バンド 2 3 0 3、表示部 2 3 0 4、光学系 2 3 0 5、表示装置 2 3 0 6 等を含む。本願発明は表示装置 2 3 0 6 に用いることができる。

【 0 1 7 0 】

図 2 0 (E) はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体 2 4 0 1、表示部 2 4 0 2、スピーカ部 2 4 0 3、記録媒体 2 4 0 4、操作スイッチ 2 4 0 5 等を含む。なお、このプレーヤーは記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部 2 4 0 2 やその他の信号制御回路に適用することができる。

【 0 1 7 1 】

図 2 0 (F) はデジタルカメラであり、本体 2 5 0 1、表示部 2 5 0 2、接眼部 2 5 0 3、操作スイッチ 2 5 0 4、受像部(図示しない)等を含む。本願発明を表示部 2 5 0 2 やその他の信号制御回路に適用することができる。

【 0 1 7 2 】

図 2 1 (A) はフロント型プロジェクターであり、投射装置 2 6 0 1、スクリーン 2 6 0 2 等を含む。本発明は投射装置 2 6 0 1 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

【 0 1 7 3 】

図 2 1 (B) はリア型プロジェクターであり、本体 2 7 0 1、投射装置 2 7 0 2、ミラー 2 7 0 3、スクリーン 2 7 0 4 等を含む。本発明は投射装置 2 7 0 2 の一部を構成する液晶表示装置 2 8 0 8 やその他の信号制御回路に適用することができる。

【 0 1 7 4 】

なお、図 2 1 (C) は、図 2 1 (A) 及び図 2 1 (B) 中における投射装置 2

601、2702の構造の一例を示した図である。投射装置2601、2702は、光源光学系2801、ミラー2802、2804～2806、ダイクロイックミラー2803、プリズム2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は、投射レンズを含む光学系で構成される。本実施例は三板式の例を示したが、特に限定されず、例えば単板式であってもよい。また、図21(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等の光学系を設けてもよい。

【0175】

また、図21(D)は、図21(C)中における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801は、リフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。なお、図21(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等の光学系を設けてもよい。

【0176】

ただし、図21に示したプロジェクターにおいては、透過型の電気光学装置を用いた場合を示しており、反射型の電気光学装置での適用例は図示していない。

【0177】

図22(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を音声出力部2902、音声入力部2903、表示部2904やその他の信号制御回路に適用することができる。

【0178】

図22(B)は携帯書籍(電子書籍)であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003やその他の信号回路に適用することができる。